

Best Available Copy
PATENT ABSTRACTS OF JAPAN

US 2001/0017372
is counterpart

(11)Publication number : 2001-318624
(43)Date of publication of application : 16.11.2001

(51)Int.Cl.
G09F 9/30
G02F 1/1368
H01L 21/3205
H01L 21/8234
H01L 27/088
H01L 27/08
H01L 29/786

(21)Application number : 2001-056031 (71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD
(22)Date of filing : 28.02.2001 (72)Inventor : KOYAMA JUN

(30)Priority

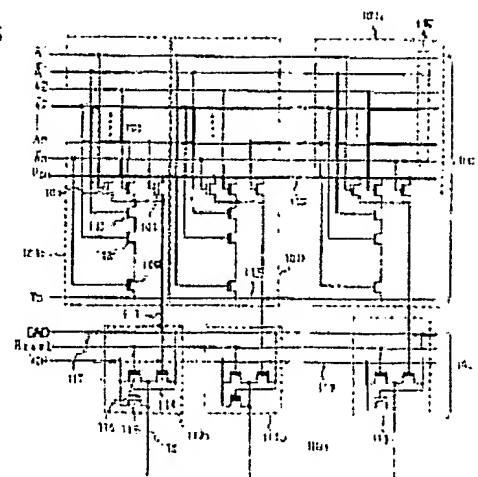
Priority number : 2000055013 Priority date : 29.02.2000 Priority country : JP
2000055017 29.02.2000 JP

(54) DISPLAY DEVICE AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an inexpensive display device and an electric apparatus using the same.

SOLUTION: In the display device comprising a pixel part and a driving circuit on the same insulating body, the driving circuit is characterized in comprising: a decoder 100 having a plurality of NAND circuits including p-channel type TFTs 104-106 connected in parallel and p-channel type TFTs 107-109 connected in series; and a buffer part 101 having a plurality of buffers including three p-channel type TFTs 114-116.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision]

of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2001-318624
(P2001-318624A)

(43)公開日 平成13年11月16日(2001.11.16)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト*(参考)
G 0 9 F 9/30	3 3 8 3 3 0	G 0 9 F 9/30	3 3 8 3 3 0 Z
G 0 2 F 1/1368		G 0 2 F 1/1368	
H 0 1 L 21/3205		H 0 1 L 27/08	3 3 1 E
21/8234		21/88	Z
審査請求 未請求 請求項の数25 O L (全 29 頁) 最終頁に続く			

(21)出願番号 特願2001-56031(P2001-56031)
(22)出願日 平成13年2月28日(2001.2.28)
(31)優先権主張番号 特願2000-55013(P2000-55013)
(32)優先日 平成12年2月29日(2000.2.29)
(33)優先権主張国 日本(J P)
(31)優先権主張番号 特願2000-55017(P2000-55017)
(32)優先日 平成12年2月29日(2000.2.29)
(33)優先権主張国 日本(J P)

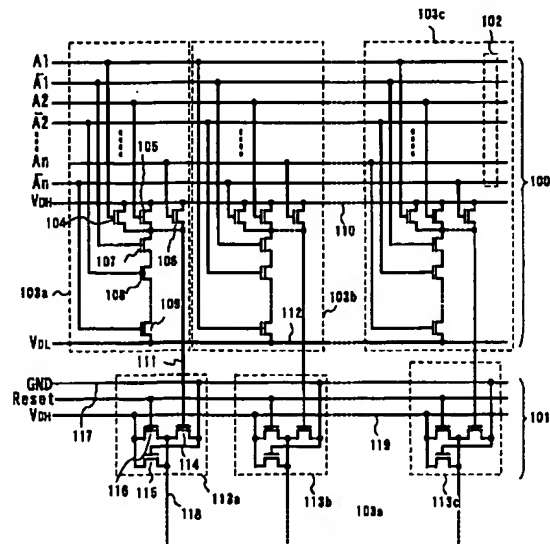
(71)出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72)発明者 小山 潤
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54)【発明の名称】 表示装置およびその作製方法

(57)【要約】

【課題】 安価な表示装置およびそれを用いた電気器具を提供する。

【解決手段】 同一の絶縁体上に画素部および駆動回路を含む表示装置において、駆動回路は、並列に接続されたpチャネル型TFT104~106および直列に接続されたpチャネル型TFT107~109を含む複数のNAND回路を有したデコーダ100と、三つのpチャネル型TFT114~116を含む複数のバッファを有したバッファ部101とを含むことを特徴とする。



【特許請求の範囲】

【請求項1】ゲート配線および該ゲート配線と同一の面上に同一の導電膜で形成されたソース配線を含み、前記ゲート配線は接続配線を介して前記ソース配線と交差し、前記接続配線は電流制御TFTのドレイン配線と同一の面上に同一の導電膜で形成された配線であることを特徴とする表示装置。

【請求項2】ゲート配線および該ゲート配線と同一の面上に同一の導電膜で形成されたソース配線を含み、前記ソース配線は接続配線を介して前記ゲート配線と交差し、前記接続配線は電流制御TFTのドレイン配線と同一の面上に同一の導電膜で形成された配線であることを特徴とする表示装置。

【請求項3】ゲート配線、該ゲート配線と同一の面上に同一の導電膜で形成されたソース配線および電流供給線を含み、前記ゲート配線は接続配線を介して前記ソース配線および前記電流供給線と交差し、前記接続配線は電流制御TFTのドレイン配線と同一の面上に同一の導電膜で形成された配線であることを特徴とする表示装置。

【請求項4】ゲート配線、該ゲート配線と同一の面上に同一の導電膜で形成されたソース配線および電流供給線を含み、前記ソース配線は接続配線を介して前記ゲート配線および前記電流供給線と交差し、前記接続配線は電流制御TFTのドレイン配線と同一の面上に同一の導電膜で形成された配線であることを特徴とする表示装置。

【請求項5】画素部および駆動回路を同一の絶縁体上に含む表示装置において、前記駆動回路は一導電型TFTで形成された複数のNAND回路からなるデコーダを含むことを特徴とする表示装置。

【請求項6】画素部および駆動回路を同一の絶縁体上に含む表示装置において、前記駆動回路は一導電型TFTで形成された複数のNAND回路からなるデコーダを含み、前記NAND回路は直列に接続されたn個の一導電型TFTおよび並列に接続されたn個の一導電型TFTを含むことを特徴とする表示装置。

【請求項7】画素部および駆動回路を同一の絶縁体上に含む表示装置において、前記駆動回路は一導電型TFTで形成されたバッファを含み、前記バッファは第1の一導電型TFTおよび該第1の一導電型TFTに直列に接続され、且つ、該第1の一導電型TFTのドレインをゲートとする第2の一導電型TFTを含むことを特徴とする表示装置。

【請求項8】画素部および駆動回路を同一の絶縁体上に含む表示装置において、前記駆動回路は一導電型TFTで形成された複数のNAND回路からなるデコーダおよび一導電型TFTで形成されたバッファを含み、

前記バッファは第1の一導電型TFTおよび該第1の一導電型TFTに直列に接続され、且つ、該第1の一導電型TFTのドレインをゲートとする第2の一導電型TFTを含むことを特徴とする表示装置。

【請求項9】画素部および駆動回路を同一の絶縁体上に含む表示装置において、前記駆動回路は一導電型TFTで形成された複数のNAND回路からなるデコーダおよび一導電型TFTで形成されたバッファを含み、

前記NAND回路は直列に接続されたn個の一導電型TFTおよび並列に接続されたn個の一導電型TFTを含み、

前記バッファは第1の一導電型TFTおよび該第1の一導電型TFTに直列に接続され、且つ、該第1の一導電型TFTのドレインをゲートとする第2の一導電型TFTを含むことを特徴とする表示装置。

【請求項10】請求項5乃至請求項9のいずれかにおいて、前記一導電型TFTのソース配線およびドレイン配線は透明導電膜からなる配線であることを特徴とする表示装置。

【請求項11】請求項5乃至請求項10のいずれかにおいて、前記一導電型TFTとはpチャネル型TFTであることを特徴とする表示装置。

【請求項12】請求項5乃至請求項10のいずれかにおいて、前記一導電型TFTとはnチャネル型TFTであることを特徴とする表示装置。

【請求項13】請求項5乃至請求項12のいずれかにおいて、前記画素部は、ゲート配線および該ゲート配線と同一の面上に同一の導電膜で形成されたソース配線を含み、前記ゲート配線は接続配線を介して前記ソース配線と交差し、前記接続配線は電流制御TFTのドレイン配線と同一の面上に同一の導電膜で形成された配線であることを特徴とする表示装置。

【請求項14】請求項5乃至請求項12のいずれかにおいて、前記画素部は、ゲート配線および該ゲート配線と同一の面上に同一の導電膜で形成されたソース配線を含み、前記ソース配線は接続配線を介して前記ゲート配線と交差し、前記接続配線は電流制御TFTのドレイン配線と同一の面上に同一の導電膜で形成された配線であることを特徴とする表示装置。

【請求項15】請求項5乃至請求項12のいずれかにおいて、前記画素部は、ゲート配線、該ゲート配線と同一の面上に同一の導電膜で形成されたソース配線および電流供給線を含み、前記ゲート配線は接続配線を介して前記ソース配線および前記電流供給線と交差し、前記接続配線は電流制御TFTのドレイン配線と同一の面上に同一の導

電膜で形成された配線であることを特徴とする表示装置。

【請求項16】請求項5乃至請求項12のいずれかにおいて、

前記画素部は、ゲート配線、該ゲート配線と同一の面上に同一の導電膜で形成されたソース配線および電流供給線を含み、前記ソース配線は接続配線を介して前記ゲート配線および前記電流供給線と交差し、前記接続配線は電流制御TFTのドレイン配線と同一の面上に同一の導電膜で形成された配線であることを特徴とする表示装置。

【請求項17】請求項1乃至請求項4または請求項13乃至請求項16のいずれかにおいて、前記接続配線は前記ゲート配線および前記ソース配線とは異なる層に形成された配線であることを特徴とする表示装置。

【請求項18】請求項1乃至請求項4または請求項13乃至請求項16のいずれかにおいて、前記接続配線は透明導電膜からなる配線であることを特徴とする表示装置。

【請求項19】請求項1乃至請求項4または請求項13乃至請求項16のいずれかにおいて、前記ソース配線に電氣的に接続されたスイッチングTFTおよび前記電流制御TFTはpチャネル型TFTであることを特徴とする表示装置。

【請求項20】請求項1乃至請求項19のいずれかにおいて、前記表示装置は発光装置であることを特徴とする表示装置。

【請求項21】請求項1乃至請求項19のいずれかにおいて、前記表示装置は液晶表示装置であることを特徴とする表示装置。

【請求項22】請求項1乃至請求項21のいずれかにおいて記載の表示装置を用いたことを特徴とする電気器具。

【請求項23】絶縁体の上に半導体層を形成する工程と、

前記半導体層の上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜の上にソース配線、ゲート配線および電流供給線を形成する工程と、

前記半導体層にp型半導体領域を形成する工程と、

前記ソース配線、前記ゲート配線および前記電流供給線の上に層間絶縁膜を形成する工程と、

前記層間絶縁膜に前記ソース配線、前記p型半導体領域および前記電流供給線に達するコンタクトホールを形成する工程と、

前記ソース配線および前記p型半導体領域または前記電流供給線および前記p型半導体領域を電氣的に接続する接続配線を形成する工程と、

を含むことを特徴とする表示装置の作製方法。

【請求項24】絶縁体の上に半導体層を形成する工程と、

前記半導体層の上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜の上にソース配線、複数のゲート配線および電流供給線を形成する工程と、

前記半導体層にp型半導体領域を形成する工程と、

前記ソース配線、前記複数のゲート配線および前記電流供給線の上に層間絶縁膜を形成する工程と、

前記層間絶縁膜に前記ソース配線、前記p型半導体領域および前記電流供給線に達するコンタクトホールを形成する工程と、

前記ソース配線と交差し、前記複数のゲート配線を相互に接続する接続配線を形成する工程と、

を含むことを特徴とする表示装置の作製方法。

【請求項25】請求項23または請求項24において、前記接続配線は電流制御TFTのドレイン配線と同一の面上に同一の導電膜で形成されることを特徴とする表示装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電極間に発光性材料を挟んだ素子（以下、発光素子という）を有する装置（以下、発光装置という）に関する。特に、同一の絶縁体上に画素部および画素部に信号を伝送するための駆動回路を含む装置に関する。また、本発明は電極間に液晶を挟んだ素子（以下、液晶素子という）を有する装置（以下、液晶表示装置という）に用いることも可能である。なお、本明細書では発光装置および液晶表示装置をまとめて表示装置と呼ぶ。

【0002】なお、本発明に用いることのできる発光性材料は、一重項励起もしくは三重項励起または両者の励起を経由して発光（燐光および／または蛍光）するすべての発光性材料を含む。

【0003】

【従来の技術】近年、EL（Electro Luminescence）が得られる発光性材料（以下、EL材料という）を利用した発光素子（以下、EL素子という）を有する発光装置（以下、発光装置という）の開発が進んでいる。発光装置は、陽極と陰極との間にEL材料からなる薄膜を挟んだEL素子を有した構造からなる。

【0004】発光装置の開発はパッシブマトリクス型を主流に行われてきたが、画素部が高精細になるとEL素子の発光輝度を増加させる必要があるため、信頼性（EL素子の長期寿命）を確保できないといった不具合が懸念されている。そこで最近では高精細な表示を狙ってアクティブマトリクス型が注目されている。アクティブマトリクス型の発光装置は、各画素内に能動素子を設けて入力信号に応じてEL素子を発光させる点に特徴があり、能動素子としては一般的にTFT（Thin Film Transistor）が用いられている。

【0005】ここでアクティブマトリクス型発光装置の画素構造を図4に示す。図4において、401はソース配線、402はゲート配線、403はスイッチング素子

として機能するTFT（以下、スイッチングTFTという）、404はスイッチングTFT403のドレインに電気的に接続されたコンデンサである。

【0006】また、スイッチングTFT403のドレインには電流制御TFT405のゲート電極が電気的に接続されている。電流制御TFT405のソースは電流供給線406に電気的に接続され、ドレインはEL素子407に電気的に接続される。即ち、電流制御TFT405はEL素子407に流れる電流を制御する素子として機能することになる。

【0007】このように画素内に二つのTFTを有し、それぞれ異なる役割を持ってEL素子の発光輝度を制御することができる。その結果、発光期間がほぼ1フレーム期間行われ、高精細な画素部となっても発光輝度を抑えたまま画像を表示することが可能となる。さらに、アクティブマトリクス型の利点は、画素部に信号を伝送する駆動回路として、シフトレジスタやサンプリング回路を同一の基板上にTFTで形成することが可能な点である。これにより非常にコンパクトな発光装置を作製することが可能となった。

【0008】しかしながら、アクティブマトリクス型発光装置は複数のTFTを同一の基板上に形成することになり、単純な構造のパッシブマトリクス型に比べて歩留まりを確保することが困難である。特に駆動回路を同一基板上に形成する場合は動作不良があると画素1ラインが動作しないといった線欠故障を引き起こすこともある。また、TFTの製造工程が比較的複雑であるため、パッシブマトリクス型発光装置に比べて製造コストが高くなる可能性が高い。その場合、アクティブマトリクス型発光装置を表示部に用いた電気器具の単価が上がってしまうという懸念があった。

【0009】

【発明が解決しようとする課題】本発明は、アクティブマトリクス型の表示装置の製造コストを低減することを課題とし、安価な表示装置を提供することを課題とする。また、本発明の表示装置を表示部に用いた安価な電気器具を提供することを課題とする。

【0010】

【課題を解決するための手段】本発明では、アクティブマトリクス型の表示装置の製造コストを低減するために画素部に用いるTFTを全て一導電型TFT（ここではpチャネル型TFTもしくはnチャネル型TFTのいずれか一方を指す）とし、さらに駆動回路もすべて画素部と同じ導電型のTFTで形成することを特徴とする。これにより製造工程を大幅に削減し、製造コストを低減することが可能となる。

【0011】そのため本発明では、ソース配線、ゲート電極、ゲート配線（ゲート電極に信号を伝送する配線）および電流供給線を同時に形成する、即ち同一の面上に同一の導電膜形成することを特徴としている。また、独

立に形成された複数のゲート配線を相互に接続する配線またはソース配線もしくは電流供給線とTFTとを相互に接続する配線（本明細書では接続配線と呼ぶ）を、電流制御TFTのドレイン配線と同一の面上に同一の導電膜で形成することを特徴としている。

【0012】また、さらに重要な特徴の一つは、一導電型TFTだけで駆動回路を形成する点にある。即ち、一般的な駆動回路はnチャネル型TFTとpチャネル型TFTとを相補的に組み合わせたCMOS回路を基本に設計されるが、本発明ではpチャネル型TFTもしくはnチャネル型TFTのみを組み合わせで駆動回路を形成する。

【0013】

【発明の実施の形態】ここで本発明で用いる駆動回路について図1、図2を用いて説明する。本発明では一般的なシフトレジスタの代わりに図1に示すようなpチャネル型TFTを用いたデコーダを用いる。なお、図1はゲート側駆動回路の例である。

【0014】図1において、100がゲート側駆動回路のデコーダ、101がゲート側駆動回路のバッファ部である。なお、バッファ部とは複数のバッファ（緩衝増幅器）が集積化された部分を指す。また、バッファとは後段の影響を前段に与えずに駆動を行う回路を指す。

【0015】まずゲート側デコーダ100を説明する。まず102はデコーダ100の入力信号線（以下、選択線という）であり、ここではA1、A1バー（A1の極性が反転した信号）、A2、A2バー（A2の極性が反転した信号）、…An、Anバー（Anの極性が反転した信号）を示している。即ち、2n本の選択線が並んでいると考えれば良い。

【0016】選択線の本数はゲート側駆動回路から出力されるゲート配線が何列あるかによってその数が決まる。例えばVGA表示の画素部をもつ場合はゲート配線が480本となるため、9bit分（n=9に相当する）で合計18本の選択線が必要となる。選択線102は図2のタイミングチャートに示す信号を伝送する。図2に示すように、A1の周波数を1とすると、A2の周波数は 2^{-1} 倍、A3の周波数は 2^{-2} 倍、Anの周波数は $2^{-(n-1)}$ 倍となる。

【0017】また、103aは第1段のNAND回路（NANDセルともいう）、103bは第2段のNAND回路、103cは第n段のNANDである。NAND回路はゲート配線の本数分が必要であり、ここではn個が必要となる。即ち、本発明ではデコーダ100が複数のNAND回路からなる。

【0018】また、NAND回路103a～103cは、pチャネル型TFT104～109が組み合わせられてNAND回路を形成している。なお、実際には2n個のTFTがNAND回路103に用いられている。また、pチャネル型TFT104～109の各々のゲートは選択

線102 (A1、A1バー、A2、A2バー…An、Anバー) のいずれかに接続されている。

【0019】このとき、NAND回路103aにおいて、A1、A2…An (これらを正の選択線と呼ぶ) のいずれかに接続されたゲートを有するpチャネル型TFT104~106は、互いに並列に接続されており、共通のソースとして正電源線 (V_{DH}) 110に接続され、共通のドレインとして出力線111に接続されている。また、A1バー、A2バー…Anバー (これらを負の選択線と呼ぶ) のいずれかに接続されたゲートを有するpチャネル型TFT107~109は、互いに直列に接続されており、回路端に位置するpチャネル型TFT109のソースが負電源線 (V_{DL}) 112に接続され、もう一方の回路端に位置するpチャネル型TFT107のドレインが出力線111に接続されている。

【0020】以上のように、本発明においてNAND回路は直列に接続されたn個の一導電型TFT (ここではpチャネル型TFT) および並列に接続されたn個の一導電型TFT (ここではpチャネル型TFT) を含む。但し、n個のNAND回路103a~103cにおいて、pチャネル型TFTと選択線との組み合わせはすべて異なる。即ち、出力線111は必ず1本しか選択されないようになっており、選択線102には出力線111が端から順番に選択されていくような信号が入力される。

【0021】次に、バッファ101はNAND回路103a~103cの各々に対応して複数のバッファ113a~113cにより形成されている。但しバッファ113a~113cはいずれも同一構造で良い。

【0022】また、バッファ113a~113cは一導電型TFTとしてpチャネル型TFT114~116を用いて形成される。デコーダからの出力線111はpチャネル型TFT114 (第1の一導電型TFT) のゲートとして入力される。pチャネル型TFT114は接地電源線 (GND) 117をソースとし、ゲート配線118をドレインとする。また、pチャネル型TFT115 (第2の一導電型TFT) は接地電源線117をゲートとし、正電源線 (V_{DH}) 119をソースとし、ゲート配線118をドレインとして常時オン状態となっている。

【0023】即ち、本発明において、バッファ113a~113cは第1の一導電型TFT (pチャネル型TFT114) および第1の一導電型TFTに直列に接続され、且つ、第1の一導電型TFTのドレインをゲートとする第2の一導電型TFT (pチャネル型TFT115) を含む。

【0024】また、pチャネル型TFT116 (第3の一導電型TFT) はリセット信号線 (Reset) をゲートとし、正電源線119をソースとし、ゲート配線118をドレインとする。なお、接地電源線117は負電源線 (但し画素のスイッチング素子として用いるpチャネル型TFTがオン状態になるような電圧を与える電源線)

としても構わない。

【0025】このとき、pチャネル型TFT115のチャネル幅 ($W1$ とする) とpチャネル型TFT114のチャネル幅 ($W2$ とする) との間には $W1 < W2$ の関係がある。なお、チャネル幅とはチャネル長に垂直な方向におけるチャネル形成領域の長さである。

【0026】バッファ113aの動作は次の通りである。まず出力線111に正電圧が加えられているとき、pチャネル型TFT114はオフ状態 (チャネルが形成されていない状態) となる。一方でpチャネル型TFT115は常にオン状態 (チャネルが形成されている状態) であるため、ゲート配線118には正電源線119の電圧が加えられる。

【0027】ところが、出力線111に負電圧が加えられた場合、pチャネル型TFT114がオン状態となる。このとき、pチャネル型TFT114のチャネル幅がpチャネル型TFT115のチャネル幅よりも大きいため、ゲート配線118の電位はpチャネル型TFT114側の出力に引っ張られ、結果的に接地電源線117の電圧がゲート配線118に加えられる。

【0028】従って、ゲート配線118は、出力線111に負電圧が加えられるときは負電圧 (画素のスイッチング素子として用いるpチャネル型TFTがオン状態になるような電圧) を出力し、出力線111に正電圧が加えられているときは常に正電圧 (画素のスイッチング素子として用いるpチャネル型TFTがオフ状態になるような電圧) を出力する。

【0029】なお、pチャネル型TFT116は負電圧が加えられたゲート配線118を強制的に正電圧に引き上げるリセットスイッチとして用いられる。即ち、ゲート配線118の選択期間が終了したら、リセット信号を入力してゲート配線118に正電圧を加える。但しpチャネル型TFT116は省略することもできる。

【0030】以上のような動作のゲート側駆動回路によりゲート配線が順番に選択されることになる。次に、ソース側駆動回路の構成を図3に示す。図3に示すソース側駆動回路はデコーダ301、ラッチ302およびバッファ303を含む。なお、デコーダ301およびバッファ303の構成はゲート側駆動回路と同様であるので、ここでの説明は省略する。

【0031】図3に示すソース側駆動回路の場合、ラッチ302は第1段目のラッチ304および第2段目のラッチ305からなる。また、第1段目のラッチ304および第2段目のラッチ305は、各々m個のpチャネル型TFT306a~306cで形成される複数の単位ユニット307を有する。デコーダ301からの出力線308は単位ユニット307を形成するm個のpチャネル型TFT306a~306cのゲートに入力される。なお、mは任意の整数である。

【0032】例えば、VGA表示の場合、ソース配線の

本数は640本である。m=1の場合はNAND回路も640個必要となり、選択線は20本(10bit分に相当する)必要となる。しかし、m=8とすると必要なNAND回路は80個となり、必要な選択線は14本(7bit分に相当する)となる。即ち、ソース配線の本数をM本とすると、必要なNAND回路は(M/m)個となる。

【0033】そして、pチャネル型TFT306a~306cのソースは各々ビデオ信号線(V1、V2...Vk)309に接続される。即ち、出力線308に負電圧が加えられると一斉にpチャネル型TFT306a~306cがオン状態となり、各々に対応するビデオ信号が取り込まれる。また、こうして取り込まれたビデオ信号は、pチャネル型TFT306a~306cの各々に接続されたコンデンサ310a~310cに保持される。

【0034】また、第2段目のラッチ305も複数の単位ユニット307bを有し、単位ユニット307bはm個のpチャネル型TFT311a~311cで形成される。pチャネル型TFT311a~311cのゲートはすべてラッチ信号線312に接続され、ラッチ信号線312に負電圧が加えられると一斉にpチャネル型TFT311a~311cがオン状態となる。

【0035】その結果、コンデンサ310a~310cに保持されていた信号が、pチャネル型TFT311a~311cの各々に接続されたコンデンサ313a~313cに保持されると同時にバッファ303へと出力される。そして、図1で説明したようにバッファを介してソース配線314に出力される。以上のような動作のソース側駆動回路によりソース配線が順番に選択されることになる。

【0036】以上のように、pチャネル型TFTのみでゲート側駆動回路およびソース側駆動回路を形成することにより画素部および駆動回路をすべてpチャネル型TFTで形成することが可能となる。従って、アクティブマトリクス型の表示装置を作製する上でTFT工程の歩留まりおよびスループットを大幅に向上させることができ、製造コストを低減することが可能となる。

【0037】なお、ソース側駆動回路もしくはゲート側駆動回路のいずれか片方の全部もしくは一部を外付けのICチップとする場合にも本発明は実施できる。

【0038】

【実施例】〔実施例1〕本発明では駆動回路をすべてpチャネル型TFTで形成することを特徴としているが、画素部もすべてpチャネル型TFTで形成する。そこで、本実施例では図1および図3に示した駆動回路により伝送された信号により画像を表示するための画素部の構造について説明する。

【0039】ここで本発明のアクティブマトリクス型発光装置の画素構造を図5および図6に示す。図5は一画素の断面図を示しており、図6は隣接する二つの画素の

上面図を示している。なお、図5は図6をA-A'で切断した断面図を表し、各図面において同一の箇所には同一の符号を付してある。また、図6の二つの画素は電流供給線525に対して線対称なので、どちらも構造は同一である。

【0040】図5において、501は可視光に対して透明な基板、502は珪素を含む絶縁膜である。可視光に対して透明な基板501としてはガラス基板、石英基板、結晶化ガラス基板もしくはプラスチック基板(プラスチックフィルムも含む)を用いることができる。また、珪素を含む絶縁膜502としては、酸化珪素膜、窒化珪素膜もしくは窒化珪素膜を用いることができる。

【0041】なお、本明細書ではTFTを絶縁体の上に形成する。絶縁体は絶縁膜(代表的には珪素を含む絶縁膜)の場合もあるし、絶縁物からなる基板(代表的には石英基板)の場合もある。従って、絶縁体の上とは、絶縁膜の上もしくは絶縁物からなる基板の上を指す。

【0042】この珪素を含む絶縁膜502の上にはスイッチング用TFT601および電流制御用TFT602がpチャネル型TFTで形成されている。

【0043】スイッチング用TFT601は、p型半導体からなる領域(以下、p型半導体領域という)503~505および真性または実質的に真性半導体からなる領域(以下、チャネル形成領域という)506、507を含む半導体領域を活性層としている。また、電流制御用TFT602はp型半導体領域508、509およびチャネル形成領域510を含む半導体領域を活性層としている。

【0044】なお、p型半導体領域503もしくは505はスイッチング用TFT601のソース領域もしくはドレイン領域となる。また、p型半導体領域508は電流制御用TFT602のソース領域となり、p型半導体領域509は同TFTのドレイン領域となる。

【0045】スイッチング用TFT601及び電流制御用TFT602の活性層は、ゲート絶縁膜511に覆われ、その上にはソース配線512、ゲート電極513a、ゲート電極513b、ドレイン配線514およびゲート電極515が形成されている。これらは同一の材料で同時に形成される。なお、これらの配線や電極の材料としては、タンタル、タングステン、モリブデン、ニオブ、チタンもしくはこれら金属の窒化物を用いれば良い。また、これら金属を組み合わせた合金を用いても良いし、これら金属のシリサイドを用いても良い。

【0046】また、図6に示すように、ドレイン配線514はゲート電極515と一体となっている。また、ゲート電極513aおよびゲート電極513bは共通のゲート配線516と一体となっており、常に同じ電圧が加えられる。

【0047】また、図5において、517は窒化酸化珪

素膜もしくは窒化珪素膜からなるパッシベーション膜であり、その上には層間絶縁膜518が設けられている。層間絶縁膜518としては、珪素を含む絶縁膜もしくは有機樹脂膜を用いる。有機樹脂膜としては、ポリイミド、ポリアミド、アクリル樹脂もしくはBCB（ベンゾシクロブテン）を用いれば良い。

【0048】また、その上には透明導電膜からなる接続配線519～522および電極523が形成されている。またこのとき同時に図6に示す配線524も形成されている。なお、透明導電膜としては、酸化インジウム、酸化スズ、酸化亜鉛、酸化インジウムと酸化スズの化合物、酸化インジウムと酸化亜鉛の化合物もしくはこれらにガリウムを添加した化合物からなる薄膜を用いることができる。

【0049】このとき、接続配線520はソース配線512とp型半導体領域503を電気的に接続する配線であり、接続配線521はp型半導体領域505とドレイン配線514を電気的に接続する配線であり、接続配線522はソース領域508と電流供給線（図6参照）525を電気的に接続する配線である。

【0050】また、接続配線519は複数のパターンに分割して形成されたゲート配線516を相互に接続するための配線であり、ソース配線512および電流供給線525を跨ぐようにして設けられる。なお、ゲート配線を跨ぐように形成された接続配線により複数の分割して形成されたソース配線もしくは電流供給線を相互に接続する構造とすることも可能である。

【0051】また、電極523はEL素子の陽極であり、本明細書では画素電極もしくは陽極と呼ぶ。画素電極523は電流制御用TFT602のドレイン領域509に電気的に接続されている。なお、図6では画素電極523が電流制御TFT602のドレイン配線であるとも言える。

【0052】ここで図6をB-B'で切断した断面図を図7（A）に示す。図7（A）のように接続配線524は電流供給線525を跨いでゲート配線516を相互に接続している。また、図6をC-C'で切断した断面図を図7（B）に示す。図7（B）のように接続配線522は電流制御用TFT602のp型半導体領域508および電流供給線525を電気的に接続する。

【0053】実際には、このあと画素電極523の上にEL層（図示せず）および陰極（図示せず）を形成してアクティブマトリクス型発光装置が完成する。EL層および陰極の形成は公知の技術を用いても良い。

【0054】また、ここではTFTとしてトップゲート構造のTFT（具体的にはプレーナ型TFT）を例示したが、本発明はTFT構造に限定されるものではなく、ボトムゲート構造のTFTにも実施できる。代表的には逆スタガ型TFTに実施することは可能である。

【0055】以上の画素構造とすることで、アクティブ

マトリクス型発光装置の製造工程を大幅に低減することが可能となり、安価なアクティブマトリクス型発光装置を生産することが可能となる。また、それを表示部に用いた電気器具をも安価なものとすることができる。

【0056】〔実施例2〕本実施例では、同一の絶縁体上に画素部および画素部に信号を伝送する駆動回路を設けたアクティブマトリクス型発光装置の作製工程について図8、図9を用いて説明する。

【0057】まず、図8（A）に示すように、ガラス基板801上に、下地膜（絶縁体）802を形成する。本実施例ではガラス基板801側から50nmの第1の窒化酸化珪素膜、200nmの第2の窒化酸化珪素膜を順次積層して下地膜802とする。また、第1の窒化酸化珪素膜の方が第2の窒化酸化珪素膜に比べて窒素の含有量を多くし、ガラス基板801からのアルカリ金属の拡散を抑制している。

【0058】次に、下地膜802上に非晶質珪素膜（図示せず）をプラズマCVD法により40nmの厚さに形成する。そして、非晶質珪素膜にレーザー光を照射することにより結晶化させ、多結晶珪素膜（ポリシリコン膜）803を形成する。なお、非晶質珪素膜の代わりに微結晶珪素膜もしくは非晶質のシリコンゲルマニウム膜を形成しても良い。また、結晶化方法はレーザー結晶化法に限定する必要はなく、公知の他の結晶化法を用いることもできる。

【0059】次に、図8（B）に示すように、多結晶珪素膜803をパターニングして個々に孤立した半導体層804～806を形成する。なお、804で示される半導体層は、完成時に駆動回路を形成するTFT（以下、駆動TFTという）の活性層となり、805はスイッチングTFTの活性層、806は電流制御TFTの活性層となる。

【0060】そして孤立した半導体層804～806を覆って酸化珪素膜からなるゲート絶縁膜807をプラズマCVD法により80nmの厚さに形成する。さらに、ゲート絶縁膜807の上にスパッタ法によりタングステン膜（図示せず）を350nmの厚さに形成し、パターニングしてゲート電極808、809、810aおよび810bを形成する。また同時に、スイッチングTFTのソース配線812およびドレイン配線813を形成する。もちろん、ドレイン配線813とゲート電極811は一体形成されている。

【0061】次に、ゲート電極808、809、810a、810b、ソース配線812およびドレイン配線813をマスクとして周期表の13族に属する元素を添加する。添加方法は公知の手段を用いれば良い。本実施例ではプラズマドーピング法により $5 \times 10^{19} \sim 1 \times 10^{21}$ atoms/cm³の濃度でボロンを添加する。こうしてp型の導電型を示す半導体領域（以下、p型半導体領域という）814～821が形成される。また、ゲート電極8

08、809、810aおよび810bの直下にはチャネル形成領域822～826が形成される。

【0062】なお、本実施例ではp型半導体領域814、816は駆動回路を形成するpチャネル型TFTのソース領域として機能し、p型半導体領域815は駆動回路を形成するpチャネル型TFTのドレイン領域として機能する。

【0063】次に、加熱処理を行ってp型半導体領域に含まれる周期表の13族に属する元素の活性化を行う。この活性化はファーンズアニール、レーザーアニールもしくはランプアニールにより行うか、又はそれらを組み合わせで行えば良い。本実施例では500℃4時間の加熱処理を窒素雰囲気で行う。このとき、窒素雰囲気中の酸素は極力低減しておくことが望ましい。この活性化工程によりTFTの活性層が形成される。

【0064】活性化が終了したら、パッシベーション膜827として窒化酸化珪素膜を200nmの厚さに形成し、その後、半導体層の水素化処理を行う。水素化処理は公知の水素アニール技術もしくはプラズマ水素化技術を用いれば良い。こうして図8(C)の状態が得られる。

【0065】次に、図8(D)に示すように、樹脂からなる層間絶縁膜828を800nmの厚さに形成する。樹脂としては、ポリイミド、ポリアミド、アクリル樹脂、エポキシ樹脂もしくはBCB(ベンゾシクロブテン)を用いれば良い。また、無機の絶縁膜を用いても構わない。

【0066】次に、層間絶縁膜828にコンタクトホールを形成して接続配線829～835および画素電極836を形成する。本実施例では接続配線829～835および画素電極836として酸化インジウムと酸化スズの化合物(Indium Tin Oxide:ITO)からなる導電膜を用いる。勿論、可視光に対して透明な導電膜であれば如何なる材料を用いても良い。

【0067】なお、接続配線829、831は駆動回路を形成するpチャネル型TFTのソース配線として機能し、接続配線830は駆動回路を形成するpチャネル型TFTのドレイン配線として機能する。このように本実施例ではpチャネル型TFTで形成されたPMOS回路を基本として駆動回路を形成する。

【0068】この状態で駆動回路を形成するpチャネル型TFT、画素部に形成されるスイッチングTFT及び電流制御TFTが完成する。本実施例ではすべてのTFTがpチャネル型TFTで形成される。但し、スイッチングTFTはゲート電極が活性層を二カ所で横切るように形成されており、二つのチャネル形成領域が直列に接続された構造となっている。このような構造とすることでオフ電流値(TFTがオフされた時に流れる電流)を効果的に抑制することができる。

【0069】次に、図9(A)に示すように、画素電極

836の端部および凹部(コンタクトホールに起因する窪み)を隠すように樹脂からなる絶縁体837、838を形成する。これは樹脂からなる絶縁膜を形成した後、パターニングを行って形成すれば良い。このとき、画素電極836の表面から絶縁体838の頂上まで高さ(d)を300nm以下(好ましくは200nm以下)とすることが望ましい。なお、この絶縁体837、838は省略することも可能である。

【0070】絶縁体837は画素電極836の端部を隠し、端部における電界集中の影響を避ける目的で形成する。これによりEL層の劣化を抑制することができる。また、絶縁体838はコンタクトホールに起因して形成される画素電極の凹部を埋め込む目的で形成する。これにより後に形成されるEL層の被覆不良を防止し、画素電極と後に形成される陰極の短絡を防止することができる。

【0071】次に、70nm厚のEL層839及び300nm厚の陰極840を蒸着法により形成する。本実施例ではEL層839として20nm厚の銅フタロシアニン(正孔注入層)及び50nm厚のAlq₃(発光層)を積層した構造を用いる。勿論、発光層に正孔注入層、正孔輸送層、電子輸送層もしくは電子注入を組み合わせた公知の他の構造を用いても良い。

【0072】本実施例では、まず全ての画素電極を覆うように銅フタロシアニンを形成し、その後、赤色、緑色及び青色に対応する画素ごとに各々赤色の発光層、緑色の発光層及び青色の発光層を形成する。形成する領域の区別は蒸着時にシャドーマスクを用いて行えば良い。このようにすることでカラー表示が可能となる。

【0073】なお、緑色の発光層を形成する時は、発光層の母体材料としてAlq₃(トリス-8-キノリノラトアルミニウム錯体)を用い、キナクリドンもしくはクマリン6をドーパントとして添加する。また、赤色の発光層を形成する時は、発光層の母体材料としてAlq₃を用い、DCJT、DCM1もしくはDCM2をドーパントとして添加する。また、青色の発光層を形成する時は、発光層の母体材料としてBA1q₃(2-メチル-8-キノリノールとフェノール誘導体の混合配位子を持つ5配位の錯体)を用い、ペリレンをドーパントとして添加する。

【0074】勿論、本願発明では上記有機材料に限定する必要はなく、公知の低分子系有機EL材料、高分子系有機EL材料もしくは無機EL材料を用いることが可能である。また、これらの材料を組み合わせることも可能である。なお、高分子系有機EL材料を用いる場合は塗布法を用いることもできる。

【0075】以上のようにして、画素電極(陽極)836、EL層839及び陰極840からなるEL素子が形成される。(図9(B))

【0076】次に、図9(C)に示すように、接着剤8

41によりカバー材842を貼り合わせる。本実施例ではカバー材842としてガラス基板を用いるが、可撓性のプラスチックフィルム、石英基板、プラスチック基板、金属基板、シリコン基板もしくはセラミックス基板を用いても良い。なお、外気に触れる面に珪素を含む絶縁膜や炭素膜を設けて、酸素および水の侵入を防止したり、摩擦により付く傷を防止したりすることも有効である。

【0077】また、接着剤841としては、代表的には紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル樹脂、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。なお、接着剤841がEL素子から見て観測者側に位置する場合は、光を透過する材料であることが必要である。また、接着剤841の内部に吸湿性物質（好ましくは酸化バリウム）や酸化防止剤（酸素を吸着する物質）を設けておくこととEL素子の劣化を抑制する上で効果的である。

【0078】このような構造とすることによりEL素子を完全に大気から遮断することができる。これにより酸化によるEL材料の劣化をほぼ完全に抑制することができ、EL素子の信頼性を大幅に向上させることができる。

【0079】以上のようにして作製されたアクティブマトリクス型発光装置は、図10に示す回路構成の画素部を有する。図10において、1001はソース配線、1002はゲート配線、1003はスイッチングTFT、1004は電流制御TFT、1005は電流供給線、1006はEL素子である。本実施例ではスイッチングTFT1003および電流制御TFT1004がpチャネル型TFTで作製されている。

【0080】なお、本実施例では従来用いられていたコンデンサ（図4のコンデンサ404）と同じ役割を、電流制御TFT1004のゲート容量で補っている。これは、デジタル駆動により時分割階調表示を行う場合、1フレーム期間（もしくは1フィールド期間）が短いため、電流制御TFTのゲート容量だけで電荷を保持しうするためである。

【0081】このような本発明のアクティブマトリクス型発光装置は、パターンニングに必要なマスク数がトータルで5枚（絶縁体837、838を省略すれば4枚）と非常に少なく、高い歩留まりと低い製造コストを達成することができる。

【0082】〔実施例3〕実施例2において、図10に示した画素部の回路構成は、図11に示した回路構成としても良い。図11において、1101はソース配線、1102はゲート配線、1103はスイッチングTFT、1104は電流制御TFT、1105は電流供給線、1106はEL素子である。本実施例ではスイッチ

ングTFT1103および電流制御TFT1104がpチャネル型TFTで作製されている。

【0083】このとき、ゲート配線1102と電流供給線1105は異なる層に形成されるため、両者が層間絶縁膜を挟んで重なるように設けることは有効である。このようにすることで実質的に配線の占有面積を共通化することができ、画素の有効発光面積を増やすことができる。

【0084】〔実施例4〕本実施例では、実施例1とは異なる工程でアクティブマトリクス型発光装置を作製した場合について説明する。説明には図12を用いる。

【0085】まず、実施例2に従って図8（D）の工程まで行い、接続配線1201～1207およびドレイン配線1208を形成する。本実施例では、これらの接続配線を、金属膜を用いて形成する。金属膜としては如何なる材料を用いても良い。本実施例では、アルミニウム膜をチタン膜で挟んだ三層構造の積層膜を用いる。

【0086】次に、図12（B）に示すように、透明導電膜からなる画素電極1209を形成する。このとき、画素電極1209の一部がドレイン配線1208と接するように形成する。これにより電流制御TFTと画素電極とが電気的に接続される。この状態の上面図を図13に示す。なお、図13をA-A'で切断した断面図が図12（B）の断面図に相当する。

【0087】本実施例では接続配線1201～1207を金属膜で形成することができるため、実施の形態で説明したITO等の透明導電膜に比べて配線抵抗の低減およびコンタクト抵抗の低減を図ることができる。もちろん、駆動回路においても回路間を結ぶ配線をすべて低抵抗な金属膜で形成することができるため、動作速度の速い駆動回路を形成することが可能となる。

【0088】なお、本実施例では接続配線1201～1207およびドレイン配線1208を形成した後で画素電極1209を形成しているが、この順序を逆にすることもできる。即ち、透明導電膜からなる画素電極を形成した後で金属膜からなる接続配線およびドレイン配線を形成しても良い。

【0089】このあとは実施例2と同様に、樹脂からなる絶縁体1210を形成し、EL層1211、陰極1212を順次形成していく。さらに、接着剤1213を用いてカバー材1214を形成する。こうして図12

（C）に示すアクティブマトリクス型発光装置が完成する。

【0090】〔実施例5〕本実施例では、プラスチック基板もしくはプラスチックフィルムを用いて本発明のアクティブマトリクス型発光装置を作製する例について説明する。なお、本実施例で用いることのできるプラスチックとしては、PES（ポリエチレンサルファイド）、PC（ポリカーボネート）、PET（ポリエチレンテレフタレート）もしくはPEN（ポリエチレンナフタレ

ト)を用いることができる。

【0091】まず実施例2の工程に従ってガラス基板801上にTFTおよびEL素子を形成する。ただし、本実施例では図14(A)に示すように、ガラス基板801と下地膜802の間に剥離層1401を形成する。なお、剥離層1401としては半導体膜を用いることが可能であり、代表的には非晶質珪素膜を用いれば良い。

【0092】また、本実施例では第1の接着剤1402によりカバー材1403を接着するが、第1の接着剤1402として樹脂からなる絶縁膜(代表的にはポリイミド、アクリル樹脂、ポリアミドもしくはエポキシ樹脂)を用いる。ただし、後に剥離層1401をフッ化ハロゲンを含むガスでエッチングした際に選択比のとれる材料を用いることが必要である。また、本実施例では第1の接着剤1402により接着するカバー材1403としてPETフィルムを用いる。

【0093】次に、図14(B)に示すように、素子が形成された基板全体をフッ化ハロゲンを含むガス中に晒す。この処理により剥離層1401を選択的に除去することができる。フッ化ハロゲンとは化学式 XFn (Xはフッ素以外のハロゲン、nは整数)で示される物質であり、一フッ化塩素(ClF)、三フッ化塩素(ClF₃)、一フッ化臭素(BrF)、三フッ化臭素(BrF₃)、一フッ化ヨウ素(IF)もしくは三フッ化ヨウ素(IF₃)を用いることができる。

【0094】このフッ化ハロゲンは、シリコン膜と酸化シリコン膜との選択比が大きく、シリコン膜の選択的なエッチングが可能である。また、このエッチング反応は室温で容易に進行するため耐熱性の低いEL素子を形成した後でも処理を行うことが可能である。

【0095】なお、上述のフッ化ハロゲンにシリコン膜を晒すだけでシリコン膜はエッチングされるが、他のフッ化物(四フッ化炭素(CF₄)もしくは三フッ化窒素)であってもプラズマ状態とすることで本願発明に用いることは可能である。

【0096】本実施例では、フッ化ハロゲンとして三フッ化塩素(ClF₃)を用い、希釈ガスとして窒素を用いる。希釈ガスとしては、アルゴン、ヘリウムもしくはネオンを用いても良い。流量は共に500sccm($8.35 \times 10^{-6} \text{ m}^3/\text{s}$)とし、反応圧力は1~10 Torr($1.3 \times 10^2 \sim 1.3 \times 10^3 \text{ Pa}$)とすれば良い。また、処理温度は室温(典型的には20~27℃)で良い。

【0097】次に、図14(C)に示すように、第2の接着剤1404を用いてプラスチック基板もしくはプラスチックフィルムからなる基板(貼り合わせ基板)1405を貼り合わせる。本実施例では貼り合わせ基板1405としてPETフィルムを用いる。応力バランスをとるためカバー材1403と貼り合わせ基板1405の材料は同一とすることが望ましい。

【0098】以上のようにして、プラスチックフィルムにTFTおよびEL素子を挟んだアクティブマトリクス型発光装置が得られる。本実施例はTFTを形成した後でプラスチックフィルムを貼り合わせるようになるため、プラスチックの耐熱性を考慮してTFTを作製するといった制限がない。

【0099】またフレキシブルで軽量の発光装置が得られるため、携帯電話や電子手帳などの携帯情報機器の表示部に適している。

【0100】なお、本実施例の構成は実施例1~4のいずれの構成とも自由に組み合わせて実施することができる。

【0101】〔実施例6〕本発明において、TFTおよびEL素子を形成する基板またはカバー材の片面もしくは両面にDLC(ダイヤモンドライクカーボン)膜を形成しておくことは有効である。但し、膜厚が厚すぎると透過率が落ちるので、50nm以下(好ましくは10~20nm)とすると良い。また、DLC膜の成膜はスパッタ法もしくはECRプラズマCVD法を用いれば良い。

【0102】DLC膜の特徴としては、 1550 cm^{-1} くらいに非対称のピークを有し、 1300 cm^{-1} くらいに肩をもつラマンスペクトル分布を有する。また、微小硬度計で測定した時に15~25Paの硬度を示すという特徴をもつ。また、DLC膜は基板やカバー材に比べて硬度が大きく且つ熱伝導率も大きいので、表面保護や熱分散のための保護膜として設けておくことが有効である。

【0103】なお、本実施例の構成は実施例1~5のいずれの構成とも自由に組み合わせて実施することが可能である。

【0104】〔実施例7〕本実施例では、実施例2で説明した本発明の発光装置の外観図を説明する。なお、図15(A)は本発明の発光装置の上面図であり、図15(B)はその断面図である。

【0105】図15(A)において、1501は基板、1502は画素部、1503はソース側駆動回路、1504はゲート側駆動回路であり、それぞれの駆動回路は配線1505を経てFPC(フレキシブルプリントサーキット)1506に至り、外部機器へと接続される。図1のゲート側駆動回路は図15(A)のゲート側駆動回路1504に用いられ、図3のソース側駆動回路は図15(A)のソース側駆動回路1503に用いられ、図5の画素部は図15(A)の画素部1502に用いられる。このとき画素部1502、ソース側駆動回路1503及びゲート側駆動回路1504を囲むようにして第1シール材1511、カバー材1512、接着剤1513(図15(B)参照)及び第2シール材1514が設けられる。

【0106】また、図15(B)は図15(A)をA-

A' で切断した断面図に相当する。このとき、点線1500で囲まれた領域が図9(C)の断面図に相当する。従って、ここでの詳細な説明は省略する。

【0107】EL素子の陰極は1514で示される領域において配線1505に電氣的に接続される。配線1505は陰極に所定の電圧を与えるための配線であり、異方導電性フィルム1515を介してFPC1506に電氣的に接続される。さらにEL素子は、第1シール材1511及びそれによって基板1501に貼り合わされたカバー材1512で囲まれ、接着剤1513により封入されている。

【0108】また、接着剤1513の中にスペーサを含有させてもよい。このとき、スペーサを酸化バリウムで形成すればスペーサ自体に吸湿性をもたせることが可能である。また、スペーサを設けた場合、スペーサからの圧力を緩和するバッファ層として陰極上に樹脂膜を設けることも有効である。

【0109】また、配線1505は異方導電性フィルム1515を介してFPC1506に電氣的に接続される。配線1505は画素部1502、ソース側駆動回路1503及びゲート側駆動回路1504に送られる信号をFPC1506に伝え、FPC1506により外部機器と電氣的に接続される。

【0110】また、本実施例では第1シール材1511の露呈部及びFPC1506の一部を覆うように第2シール材1514を設け、EL素子を徹底的に外気から遮断する構造となっている。こうして図15(B)の断面構造を有する発光装置となる。なお、本実施例の発光装置は実施例1〜6のいずれの構成を組み合わせて作製しても構わない。

【0111】〔実施例8〕本実施例では、本発明の発光装置の画素構造について図16(A)、(B)に示す。本実施例において、1601はスイッチングTFT1602のソース配線、1603はスイッチングTFT1602のゲート配線、1604は電流制御TFT、1605はコンデンサ(省略することも可能)、1606は電流供給線、1607は電源制御TFT、1608はEL素子、1609は電源制御線とする。このとき、ソース配線1601、ゲート配線1603、電流供給線1606および電源制御線1608が同一の層に同一の導電膜で形成される。

【0112】なお、電源制御TFT1607の動作については特願平11-341272号を参照すると良い。ただし本実施例では電源制御TFTを電流制御TFTと同一構造のpチャネル型TFTとする。

【0113】また、本実施例では電源制御TFT1607を電流制御TFT1604とEL素子1608との間に設けているが、電源制御TFT1607とEL素子1608との間に電流制御TFT1604が設けられた構造としても良い。また、電源制御TFT1607は電流

制御TFT1604と同一構造とするか、同一の活性層で直列させて形成するのが好ましい。

【0114】また、図16(A)は、二つの画素間で電流供給線1606を共通とした場合の例である。即ち、二つの画素が電流供給線1606を中心に線対称となるように形成されている点に特徴がある。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。また、図16(B)は、ゲート配線1603と平行に電流供給線1610を設け、ソース配線1601と平行に電源制御線1611を設けた場合の例である。

【0115】なお、本実施例の構成は実施例1〜7のいずれの構成とも自由に組み合わせて実施することが可能である。

【0116】〔実施例9〕本実施例では、本発明の発光装置の画素構造について図17(A)、(B)に示す。なお、本実施例において、1701はスイッチングTFT1702のソース配線、1703はスイッチングTFT1702のゲート配線、1704は電流制御TFT、1705はコンデンサ(省略することも可能)、1706は電流供給線、1707は消去TFT、1708は消去用ゲート配線、1709はEL素子とする。このとき、ソース配線1701、ゲート配線1703、電流供給線1706および消去用ゲート配線1708が同一の層に同一の導電膜で形成される。

【0117】なお、消去TFT1707の動作については特願平11-338786号を参照すると良い。ただし本実施例では電源制御TFTを電流制御TFTと同一構造のpチャネル型TFTとする。また、特願平11-338786号では消去用ゲート配線を消去用ゲート信号線と呼んでいる。

【0118】消去TFT1707のドレインは電流制御TFT1704のゲートに接続され、電流制御TFT1704のゲート電圧を強制的に変化させることができるようになっている。なお、消去TFT1707はpチャネル型TFTとし、オフ電流を小さくできるようにスイッチング用TFT1702と同一構造とすることが好ましい。

【0119】また、図17(A)は、二つの画素間で電流供給線1706を共通とした場合の例である。即ち、二つの画素が電流供給線1706を中心に線対称となるように形成されている点に特徴がある。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。また、図17(B)は、ゲート配線1703と平行に電流供給線1710を設け、ソース配線1701と平行に消去ゲート配線1711を設けた場合の例である。

【0120】なお、本実施例の構成は実施例1〜7のいずれの構成とも自由に組み合わせて実施することが可能である。

【0121】〔実施例10〕本発明の発光装置は画素内にいくつかのTFTを設けた構造としても良い。実施例8、9ではTFTを三つ設けた例を示しているが、四つ乃至六つのTFTを設けても構わない。本発明は発光装置の画素構造に限定されずに実施することが可能である。

【0122】なお、本実施例の構成は実施例1～7のいずれの構成とも自由に組み合わせて実施することが可能である。

【0123】〔実施例11〕本実施例ではEL層および陰極を形成するための成膜装置について図18を用いて説明する。図18において、1801は搬送室(A)であり、搬送室(A)1801には搬送機構(A)1802が備えられ、基板1803の搬送が行われる。搬送室(A)1801は減圧雰囲気とされており、各処理室とはゲートによって遮断されている。各処理室への基板の受け渡しは、ゲートを開けた際に搬送機構(A)によって行われる。

【0124】また、搬送室(A)1801を減圧するためにクライオポンプを用いる。なお、図18の成膜装置では、搬送室(A)1801の側面に排気ポート1804が設けられ、その下に排気ポンプが設置される。このような構造とすると排気ポンプのメンテナンスが容易になるという利点がある。

【0125】以下に、各処理室についての説明を行う。なお、搬送室(A)1801は減圧雰囲気となるので、搬送室(A)1801に直接的に連結された処理室には全て排気ポンプ(図示せず)が備えられている。排気ポンプとしては油回転ポンプ、メカニカルブースターポンプ、ターボ分子ポンプもしくはクライオポンプが用いられる。

【0126】まず、1805は基板のセッティング(設置)を行うストック室であり、ロードロック室とも呼ばれる。ストック室1805はゲート1800aにより搬送室(A)1801と遮断され、ここに基板1803をセットしたキャリア(図示せず)が配置される。また、ストック室1805は上述の排気ポンプと高純度の窒素ガスまたは希ガスを導入するためのパージラインを備えている。

【0127】また、本実施例では基板1803を、素子形成面を下向きにしてキャリアにセットする。これは後に蒸着法による成膜を行う際に、フェイスダウン方式を行いやすくするためである。フェイスダウン方式とは、基板の素子形成面が下を向いた状態で成膜する方式をいい、この方式によればゴミの付着などを抑えることができる。

【0128】次に、1806は搬送室(B)であり、ストック室1805とはゲート1800bを介して連結され、搬送機構(B)1807を備えている。また、1808は焼成室(ベーク室)であり、ゲート1800cを

介して搬送室(B)1806と連結している。

【0129】なお、焼成室1808は基板の面の上下を反転させる機構を有する。即ち、フェイスダウン方式で搬送されてきた基板はここで一旦フェイスアップ方式に切り替わる。これは次のスピニングコート室1809での処理がフェイスアップ方式で行えるようにするためである。また逆に、スピニングコート室1809で処理を終えた基板は再び焼成室1808に戻ってきて焼成され、再び上下を反転させてフェイスダウン方式に切り替わり、ストック室1805へ戻る。

【0130】ところでスピニングコート室1809はゲート1800dを介して搬送室(B)1806と連結している。スピニングコート室1809はEL材料を含む溶液を基板上に塗布することでEL材料を含む膜を形成する成膜室であり、主に高分子系(ポリマー系)有機EL材料を成膜する。このとき、成膜室は常に窒素やアルゴンなどの不活性ガスで充填しておく。特に、1～5気圧(好ましくは1.5～3気圧)の与圧雰囲気化で成膜を行うと、成膜室に酸素や水が侵入することを効果的に防ぐことができる。

【0131】なお、成膜されるEL材料は、発光層として用いるものだけでなく、電荷注入層または電荷輸送層をも含む。また、公知の如何なる高分子系有機EL材料を用いても良い。発光層となる代表的な有機EL材料としては、PPV(ポリパラフェニレンビニレン)誘導体、PVK(ポリビニルカルバゾール)誘導体またはポリフルオレン誘導体が挙げられる。これは π 共役ポリマーとも呼ばれる。また、電荷注入層としては、PEDOT(ポリチオフェン)またはPAni(ポリアニリン)が挙げられる。

【0132】次に、1810で示されるのはEL素子の画素電極となる陰極もしくは陽極の表面を処理する処理室(以下、前処理室という)であり、前処理室1810はゲート1800eにより搬送室(A)1801と遮断される。前処理室はEL素子の作製プロセスによって様々に変えることができるが、ここでは画素電極の表面に紫外光を照射しつつ100～120℃で加熱できるようにする。このような前処理は、EL素子の陽極表面を処理する際に有効である。

【0133】次に、1811は蒸着法により導電膜またはEL材料を形成するための蒸着室であり、ゲート1800fを介して搬送室(A)1801に連結される。蒸着室1811は内部に複数の蒸着源を設置できる。また、抵抗加熱または電子ビームにより蒸着源を蒸発させ、成膜を行うことができる。

【0134】この蒸着室1811で形成される導電膜はEL素子の陰極側の電極として設けられる導電膜であり、仕事関数の小さい金属、代表的には周期表の1族もしくは2族に属する元素(代表的にはリチウム、マグネシウム、セシウム、カルシウム、カリウム、バリウム、

ナトリウムもしくはベリリウム)またはそれらに近い仕事関数をもつ金属を蒸着できる。また、低抵抗な導電膜としてアルミニウム、銅もしくは銀を蒸着することもできる。さらに、透明導電膜として酸化インジウムと酸化スズとの化合物からなる導電膜や酸化インジウムと酸化亜鉛との化合物からなる導電膜を蒸着法により形成することも可能である。

【0135】また、蒸着室1811では公知のあらゆるEL材料(特に低分子系有機EL材料)を形成することが可能である。発光層の代表例としては Alq_3 (トリス-8-キノリノラトアルミニウム錯体)もしくはDSA(ジスチルアリーレン誘導体)があり、電荷注入層の代表例としてはCuPc(銅フタロシアニン)、LiF(フッ化リチウム)もしくはacacK(カリウムアセチルアセトネート)があり、電荷輸送層の代表例としてはTPD(トリフェニルアミン誘導体)もしくはNPD(アントラセン誘導体)が挙げられる。

【0136】また、上記EL材料と蛍光物質(代表的には、クマリン6、ルブレン、ナイルレッド、DCM、キナクリドン等)とを共蒸着することも可能である。蛍光物質としては公知の如何なる材料を用いても良い。また、EL材料と周期表の1族または2族に属する元素とを共蒸着して発光層の一部に電荷輸送層または電荷注入層としての役割をもたせることも可能である。なお、共蒸着とは、同時に蒸着源を加熱し、成膜段階で異なる物質を混合する蒸着法をいう。

【0137】いずれにしてもゲート1800fによって搬送室(A)1801と遮断され、真空下でEL材料または導電膜の成膜が行われる。なお、成膜はフェイスダウン方式で行われる。

【0138】次に、1812は封止室(封入室またはグローブボックスともいう)であり、ゲート1800gを介して搬送室(A)1501に連結されている。封止室1812では、最終的にEL素子を密閉空間に封入するための処理が行われる。この処理は形成されたEL素子を酸素や水分から保護するための処理であり、カバー材で機械的に封入する、又は熱硬化性樹脂若しくは紫外光硬化性樹脂で封入するといった手段を用いる。

【0139】カバー材と上記EL素子が形成された基板とは熱硬化性樹脂又は紫外光硬化性樹脂を用いて貼り合わせられ、熱処理又は紫外光照射処理によって樹脂を硬化させて密閉空間を形成する。

【0140】図18に示した成膜装置では、封止室1812の内部に紫外光を照射するための機構(以下、紫外光照射機構という)1813が設けられており、この紫外光照射機構1813から発した紫外光によって紫外光硬化性樹脂を硬化させる構成となっている。封止室1812の内部は排気ポンプを取り付けることで減圧することも可能であるし、高純度な窒素ガスや希ガスでバージしつつ与圧とすることも可能である。

【0141】次に、封止室1812には受渡室(パスボックス)1814が連結される。受渡室1814には搬送機構(C)1815が設けられ、封止室1812でEL素子の封入が完了した基板を受渡室1814へと搬送する。受渡室1814も排気ポンプを取り付けることで減圧することが可能である。この受渡室1814は封止室1812を直接外気に晒さないようにするための設備であり、ここから基板を取り出す。

【0142】以上のように、図18に示した成膜装置を用いることで完全にEL素子を密閉空間に封入するまで外気に晒さずに済む。このような成膜装置を用いることで信頼性の高い発光装置を作製することが可能となる。

【0143】〔実施例12〕図1に示したゲート側駆動回路および図3に示したソース側駆動回路は発光装置だけでなく、液晶表示装置に用いることも可能である。ここで本発明の液晶表示装置の外観を図19(A)に、画素部の断面構造を図19(B)に示す。

【0144】図19(A)において、基板1900上には画素部1901、ゲート側駆動回路1902およびソース側駆動回路1903が形成される。このとき、画素部1901には図5の画素部が用いられ、ゲート側駆動回路1902には図1のゲート側駆動回路が用いられ、ソース側駆動回路1903には図3のソース側駆動回路が用いられる。

【0145】ゲート側駆動回路1902およびソース側駆動回路1903からは各々ゲート配線1904とソース配線1905が伸び、ゲート配線1904とソース配線1905とが交差部に画素TFT1906が形成される。また、画素TFT1906には保持容量1907および液晶素子1908が並列に接続される。また、FPC1909から駆動回路の入力端子までの接続配線1910、1911が設けられている。なお、1912は対向基板である。

【0146】また、図19(B)に示す画素構造において、駆動回路を形成するpチャネル型TFT1913およびスイッチング素子となるpチャネル型TFT1914は実施例2に従って作製すれば良い。なお、1915は配向膜、1916は対向基板、1917は遮光膜、1918は対向電極、1919は配向膜、1920はシール材、1921は樹脂からなるスペーサ、1922は液晶である。これらは公知の方法で形成すれば良いし、液晶素子の構造は本実施例の構造に限定する必要はない。

【0147】〔実施例13〕実施例1～実施例10または実施例12ではpチャネル型TFTを用いて画素部や駆動回路を形成する例を示しているが、nチャネル型TFTのみで形成することも可能である。その場合、駆動回路では電源線の極性を反転させるといった多少の変更は必要である。

【0148】また、その場合は陽極と陰極を逆にしてEL素子の構造を逆にする、即ち、電流制御TFTのドレ

インに陰極が接続された構造とすることが好ましい。なお、実施例8～10において、スイッチングTFTおよび電流制御TFT以外のTFTが画素内にある場合もすべてnチャネル型TFTとする。

【0149】〔実施例14〕実施例1に示した発光装置において、下地膜502に窒化珪素膜もしくは窒化酸化珪素膜を設け、スイッチング用TFT601および電流制御用TFT602を窒化珪素膜もしくは窒化酸化珪素膜を含むパッシベーション膜517で覆った構成とすることが好ましい。

【0150】このような構造とすると、スイッチング用TFT601および電流制御用TFT602が窒化珪素膜もしくは窒化酸化珪素膜で挟まれた構造となり、外部からの水分や可動イオンの侵入を効果的に防ぐことができる。

【0151】また、パッシベーション膜517上に設けた有機樹脂からなる平坦化膜518と画素電極523の間に窒化珪素膜もしくはDLC（ダイヤモンドライクカーボン）膜を設け、さらに陰極の上に前述の窒化珪素膜もしくはDLC膜を設けることは好ましい。

【0152】このような構造とすると、EL素子が窒化珪素膜もしくはDLC膜で挟まれた構造となり、外部からの水分や可動イオンの侵入を防ぐだけでなく、酸素の侵入をも効果的に防ぐことができる。EL素子中の発光層などの有機材料は酸素によって容易に酸化して劣化するため、本実施例のような構造とすることで大幅に信頼性を向上することができる。

【0153】以上のように、TFTを保護するための対策とEL素子を保護するための対策を併用して施すことで発光装置全体の信頼性を高めることができる。

【0154】なお、本実施例の構成は、実施例1～実施例10のいずれの構成とも自由に組み合わせることが可能である。

【0155】〔実施例15〕本発明を実施して形成した表示装置は様々な電気器具の表示部として用いることができる。例えば、TV放送等を鑑賞するには対角20～60インチの本発明の表示装置を筐体に組み込んだディスプレイを用いるとよい。なお、表示装置を筐体に組み込んだディスプレイには、パソコン用ディスプレイ、TV放送受信用ディスプレイ、広告表示用ディスプレイ等の全ての情報表示用ディスプレイが含まれる。

【0156】また、その他の本発明の電気器具としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音楽再生装置（カーオーディオ、家庭用オーディオ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍）、画像再生装置（記録媒体に記録された画像を再生し、その画像を表示する表示部を備えた装置）が挙げられる。それら電気器

具の具体例を図20、図21に示す。

【0157】図20（A）は表示装置を筐体に組み込んだディスプレイであり、筐体2001、支持台2002、表示部2003を含む。本発明の表示装置は表示部2003に用いることができる。

【0158】図20（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106を含む。本発明の表示装置は表示部2102に用いることができる。

【0159】図20（C）は頭部取り付け型のELディスプレイの一部（右片側）であり、本体2201、信号ケーブル2202、頭部固定バンド2203、表示部2204、光学系2205、発光装置2206を含む。本発明は発光装置2206に用いることができる。

【0160】図20（D）は記録媒体を備えた画像再生装置（具体的にはDVD再生装置）であり、本体2301、記録媒体（DVD等）2302、操作スイッチ2303、表示部（a）2304、表示部（b）2305を含む。表示部（a）は主として画像情報を表示し、表示部（b）は主として文字情報を表示するが、本発明の表示装置はこれら表示部（a）、（b）に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0161】図20（E）は携帯型（モバイル）コンピュータであり、本体2401、カメラ部2402、受像部2403、操作スイッチ2404、表示部2405を含む。本発明の表示装置は表示部2405に用いることができる。

【0162】図20（F）はパーソナルコンピュータであり、本体2501、筐体2502、表示部2503、キーボード2504を含む。本発明の表示装置は表示部2503に用いることができる。

【0163】図21（A）はリアプロジェクター（プロジェクションTV）であり、本体2601、光源2602、液晶表示装置2603、偏光ビームスプリッター2604、リフレクター2605、2606、スクリーン2607を含む。本発明は液晶表示装置2603に用いることができる。

【0164】図21（B）はフロントプロジェクターであり、本体2701、光源2702、液晶表示装置2703、光学系2704、スクリーン2705を含む。本発明は液晶表示装置2702に用いることができる。

【0165】なお、ここでは図示していないが、将来的に発光装置の発光輝度がさらに高くなれば、出力した画像情報を含む光をレンズや光ファイバー等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0166】また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報

を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音楽再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0167】ここで図21(C)は携帯電話であり、本体2801、音声出力部2802、音声入力部2803、表示部2804、操作スイッチ2805、アンテナ2806を含む。本発明の発光装置は表示部2804に用いることができる。なお、表示部2804は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。勿論、本発明の液晶表示装置を表示部2804に用いることも可能である。

【0168】また、図21(D)は音楽再生装置、具体的にはカーオーディオであり、本体2901、表示部2902、操作スイッチ2903、2904を含む。本発明の発光装置は表示部2902に用いることができる。また、本実施例では車載用のカーオーディオを示すが、携帯型や家庭用の音楽再生装置に用いても良い。なお、表示部2904は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型の音楽再生装置において特に有効である。勿論、本発明の液晶表示装置を表示部2804に用いることも可能である。

【0169】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電気器具に用いることが可能である。また、本実施例の電気器具は実施例1～14に示したいずれの構成の発光装置を用いても良い。

【0170】

【発明の効果】本発明を実施することにより非常に少ない工程で表示装置を作製することが可能となる。そのた

め、歩留まりが向上し、製造コストを低減することが可能である。従って、安価な表示装置を作製することができる。

【0171】また、安価な表示装置を作製することができるようになったことで、それを表示部に用いる様々な電気器具を安価な価格で提供することが可能となる。

【図面の簡単な説明】

【図1】 ゲート側駆動回路の構成を示す図。

【図2】 デコーダ入力信号のタイミングチャートを示す図。

【図3】 ソース側駆動回路の構成を示す図。

【図4】 発光装置の画素部の回路構成を示す図。

【図5】 発光装置の画素部の断面構造を示す図。

【図6】 発光装置の画素部の上面構造を示す図。

【図7】 発光装置の画素部の断面構造を示す図。

【図8】 発光装置の作製工程を示す図。

【図9】 発光装置の作製工程を示す図。

【図10】 発光装置の画素部の回路構成を示す図。

【図11】 発光装置の画素部の回路構成を示す図。

【図12】 発光装置の作製工程を示す図。

【図13】 発光装置の画素部の上面構造を示す図。

【図14】 発光装置の作製工程を示す図。

【図15】 発光装置の上面構造および断面構造を示す図。

【図16】 発光装置の画素部の回路構成を示す図。

【図17】 発光装置の画素部の回路構成を示す図。

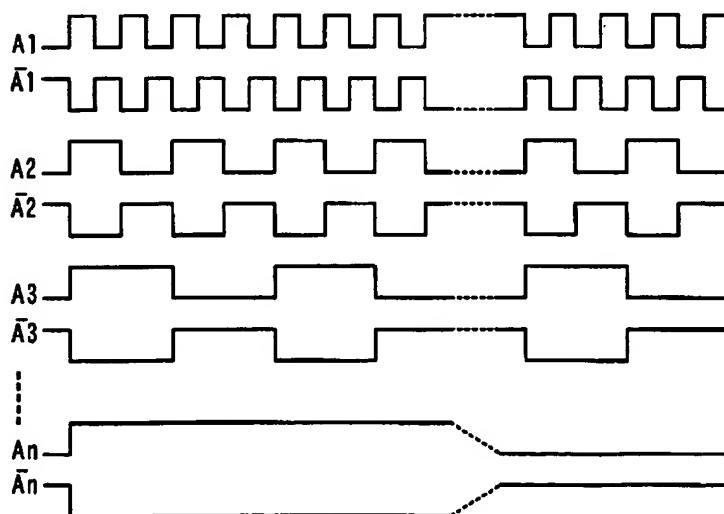
【図18】 EL層を形成する薄膜形成装置を示す図。

【図19】 液晶表示装置の外観を示す図。

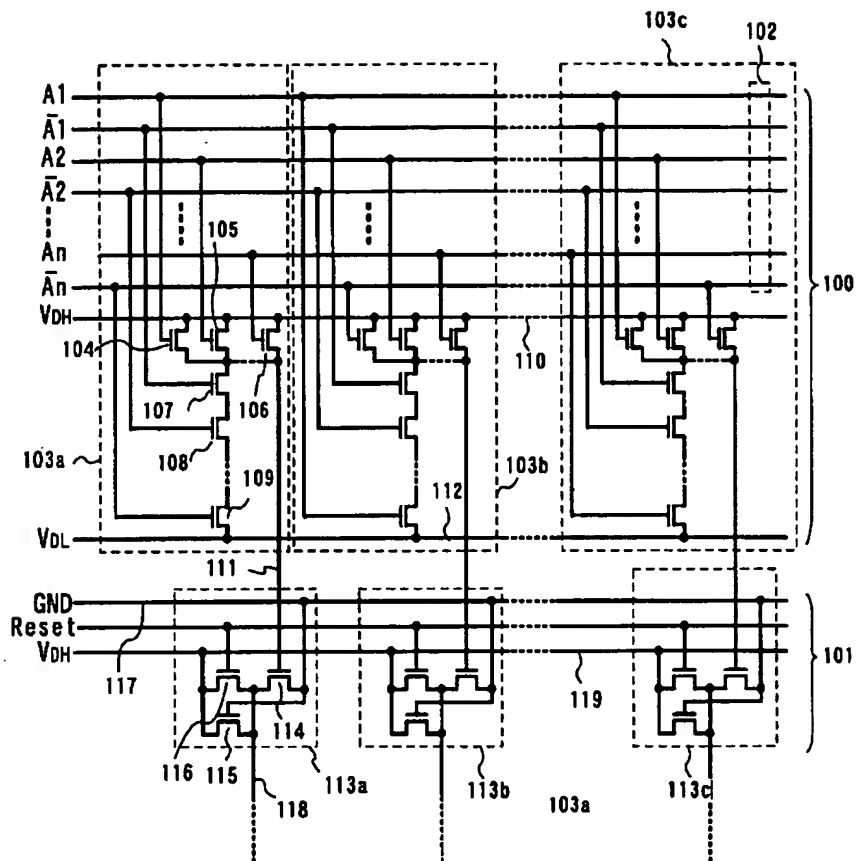
【図20】 電気器具の具体例を示す図。

【図21】 電気器具の具体例を示す図。

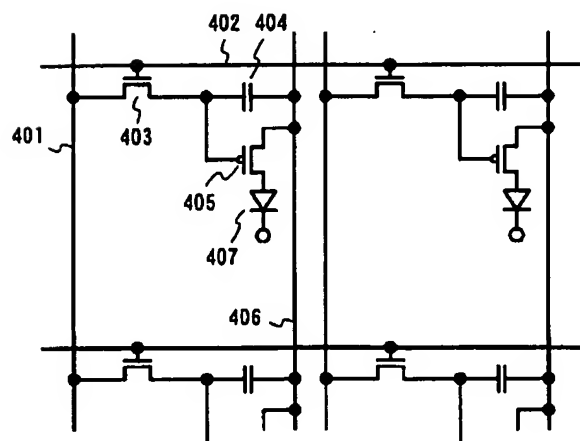
【図2】



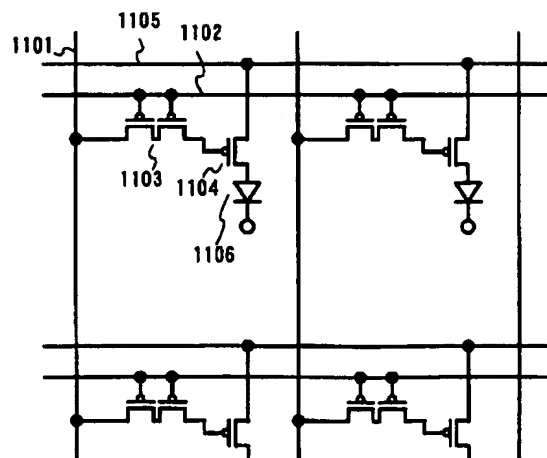
【図 1】



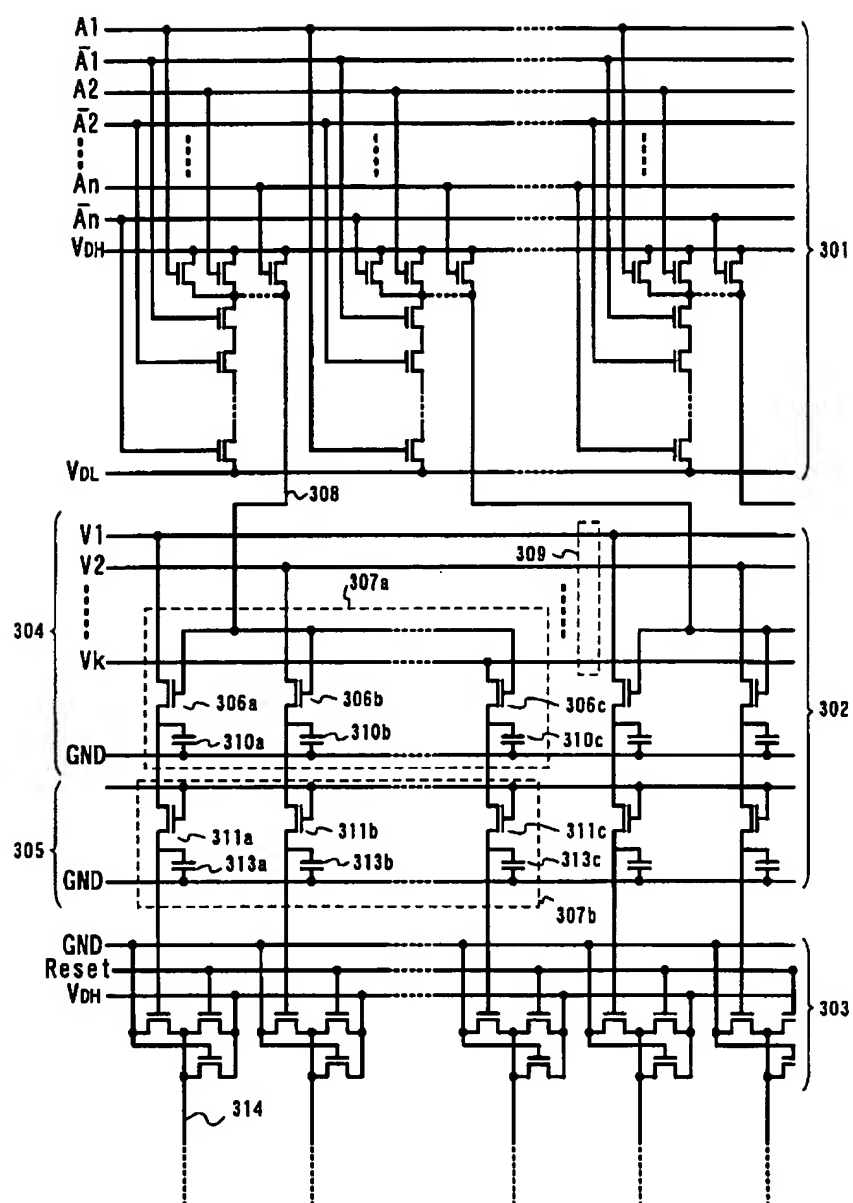
【図 4】



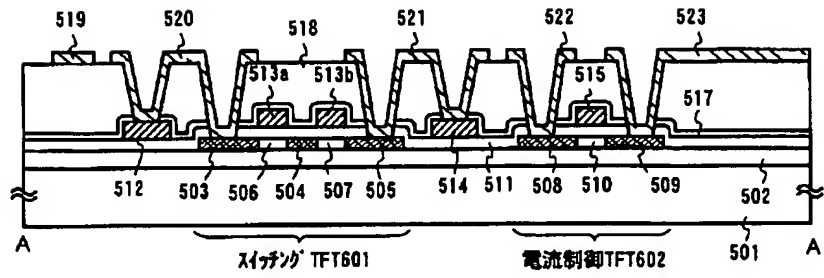
【図 11】



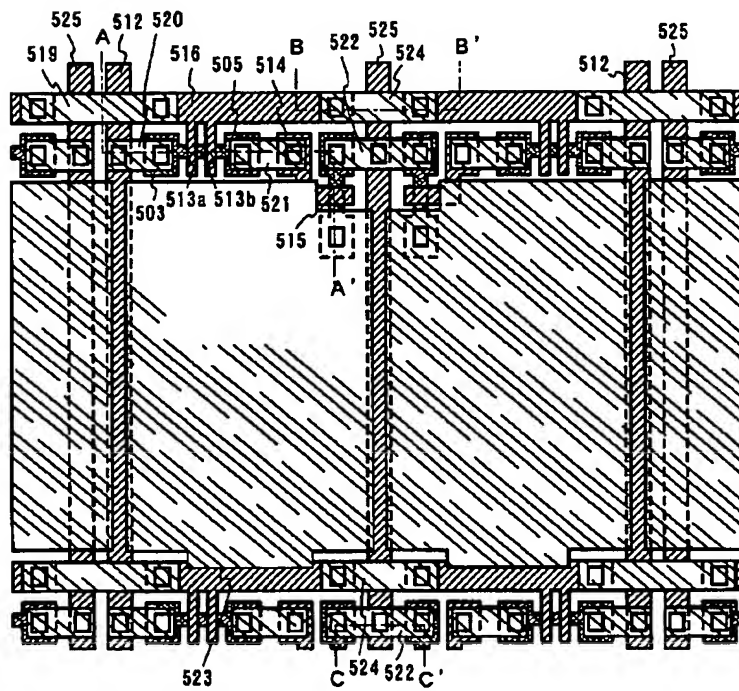
【図 3】



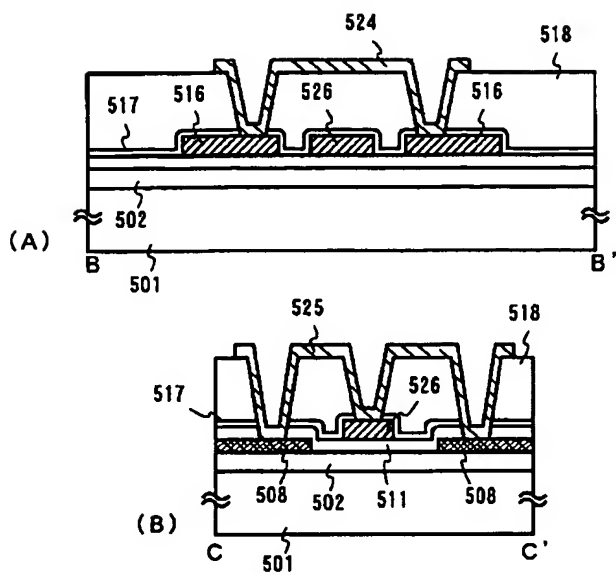
【図5】



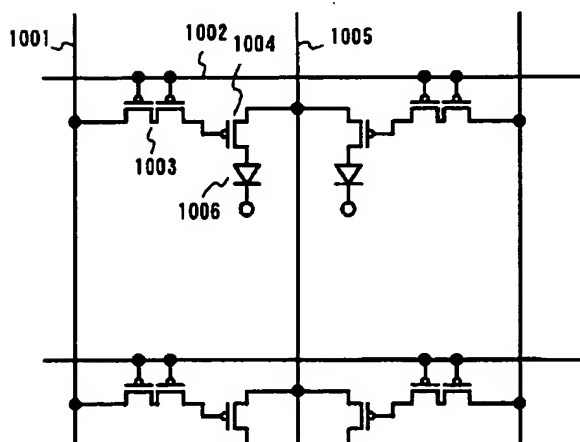
【図6】



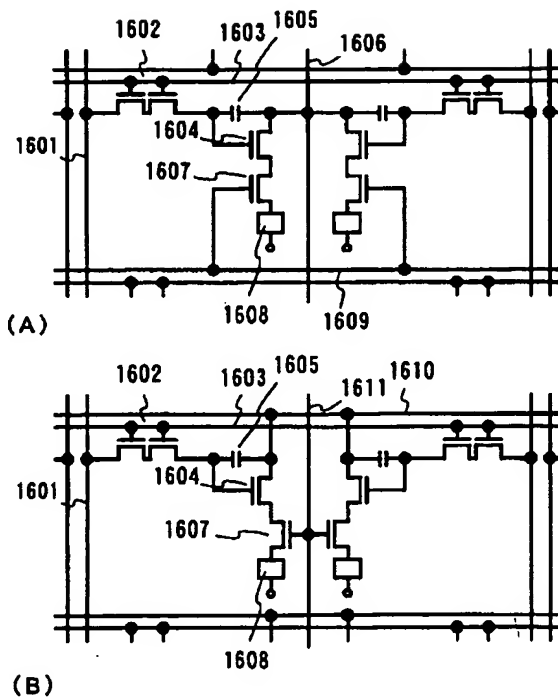
【図7】



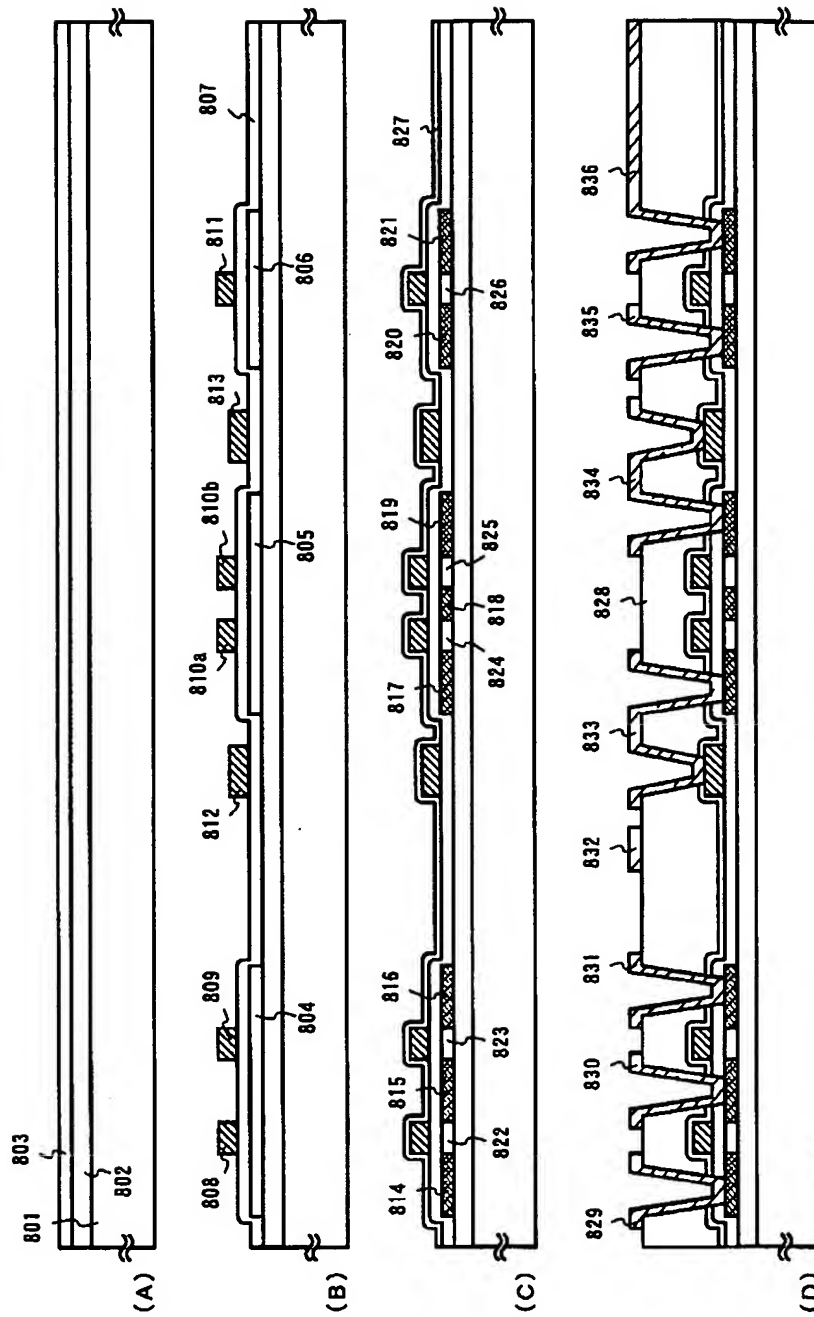
【図10】



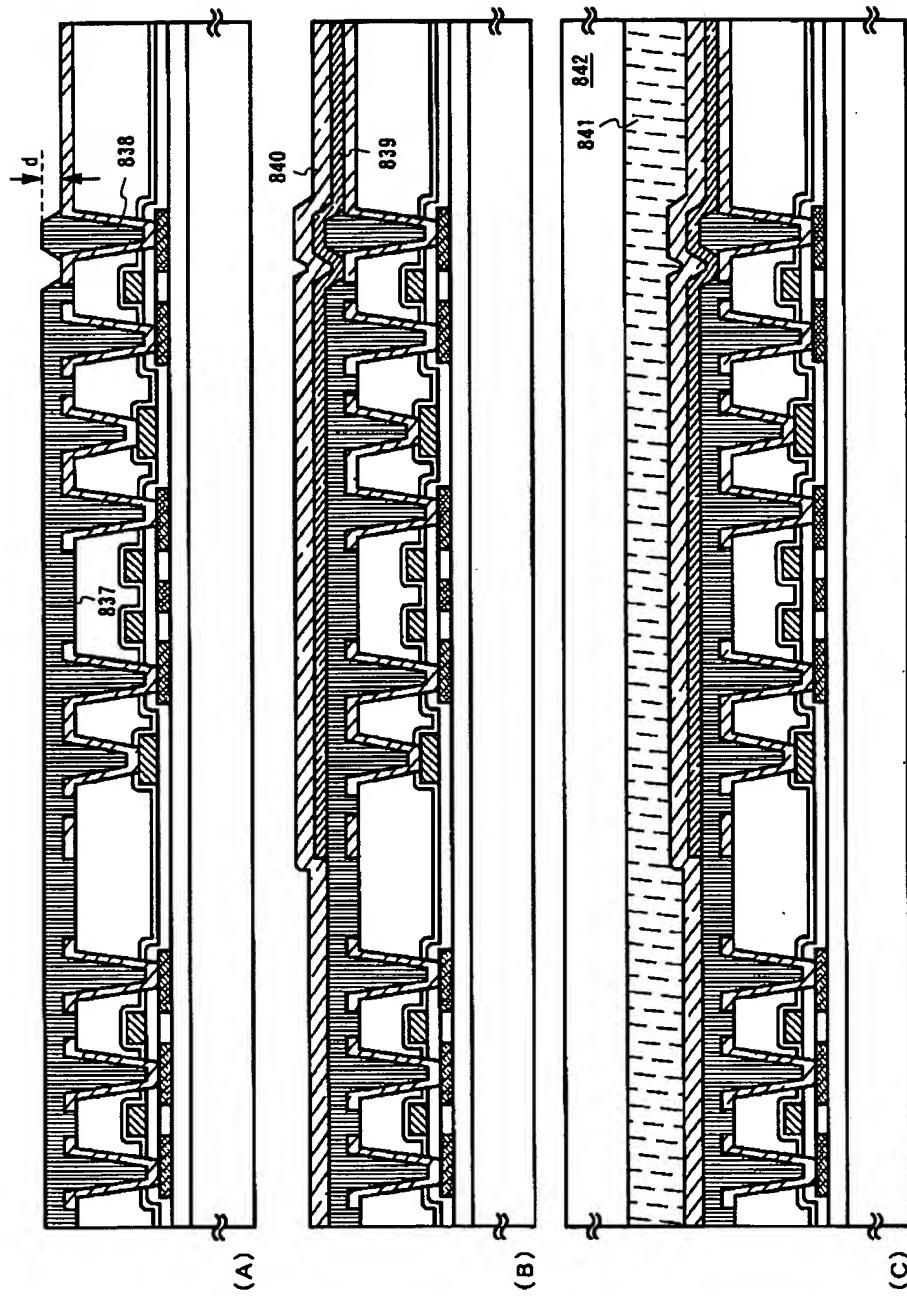
【図16】



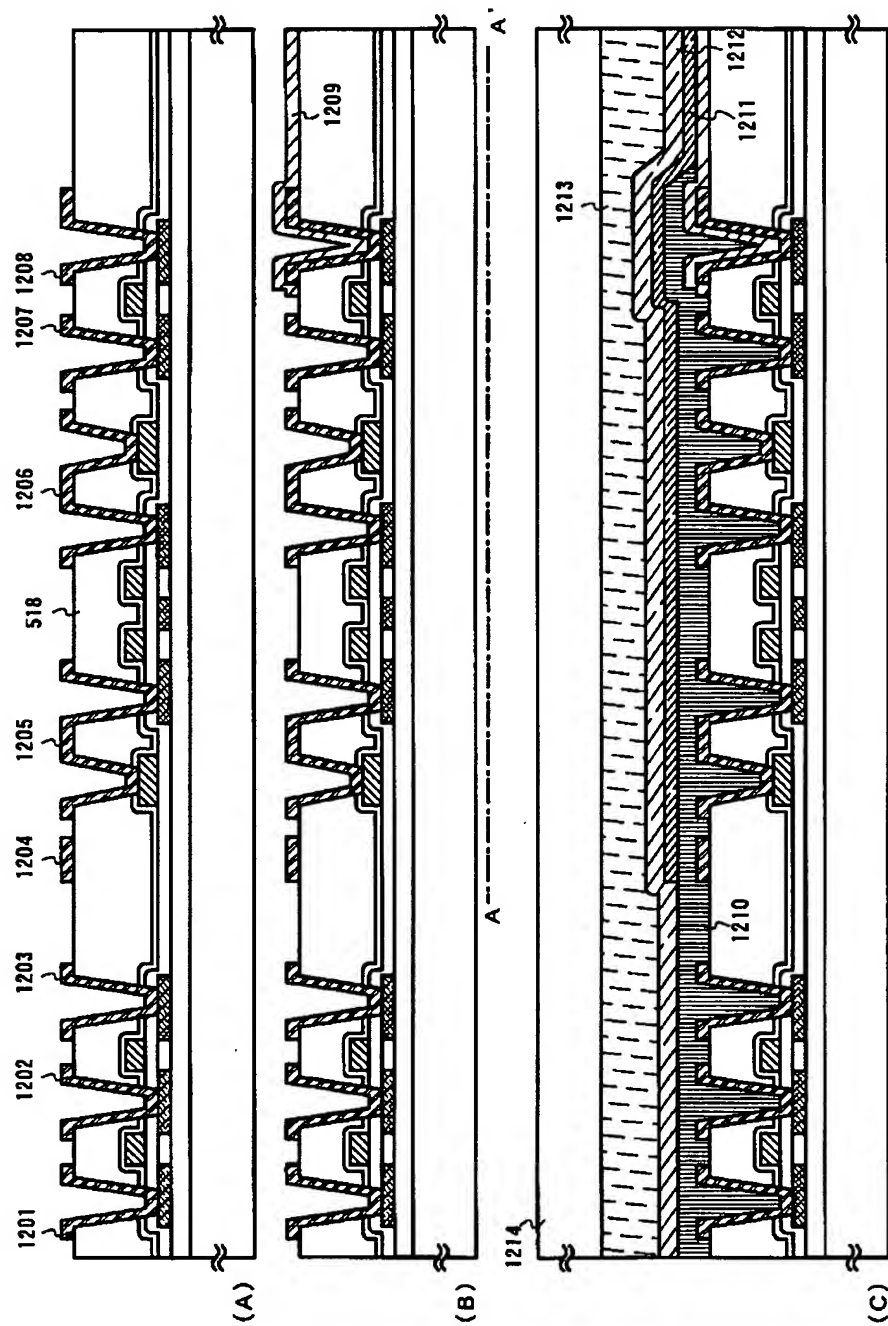
【図8】



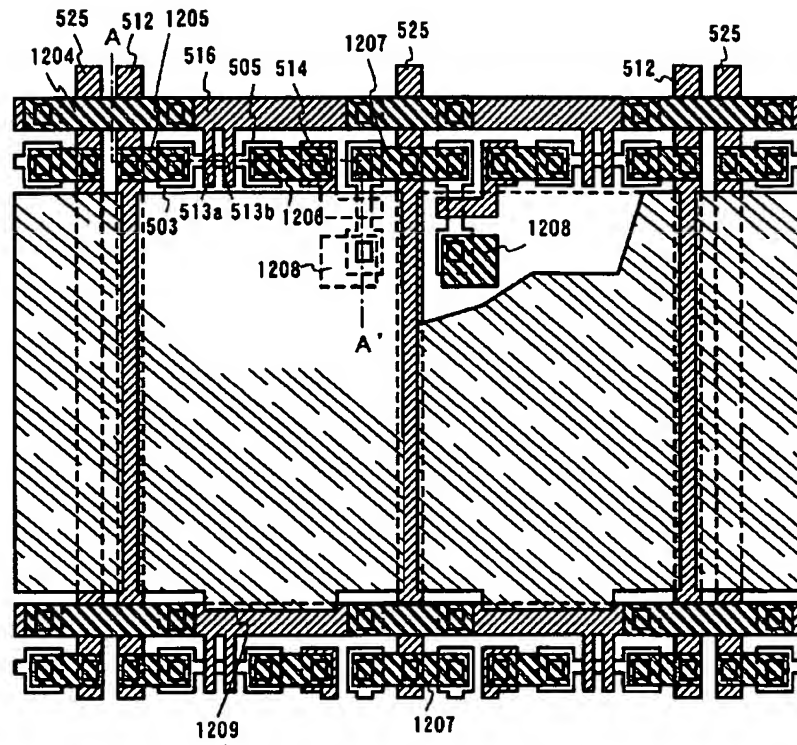
【図9】



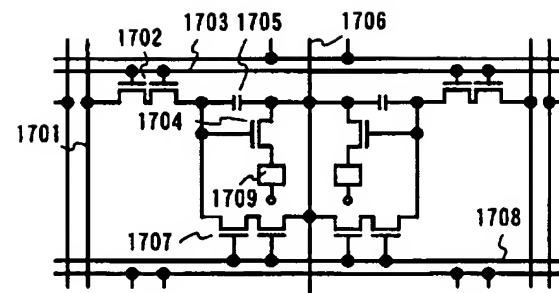
【図12】



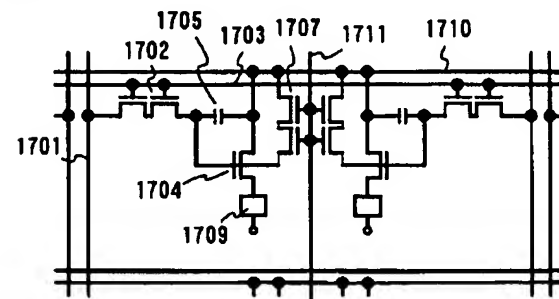
【図13】



【図17】

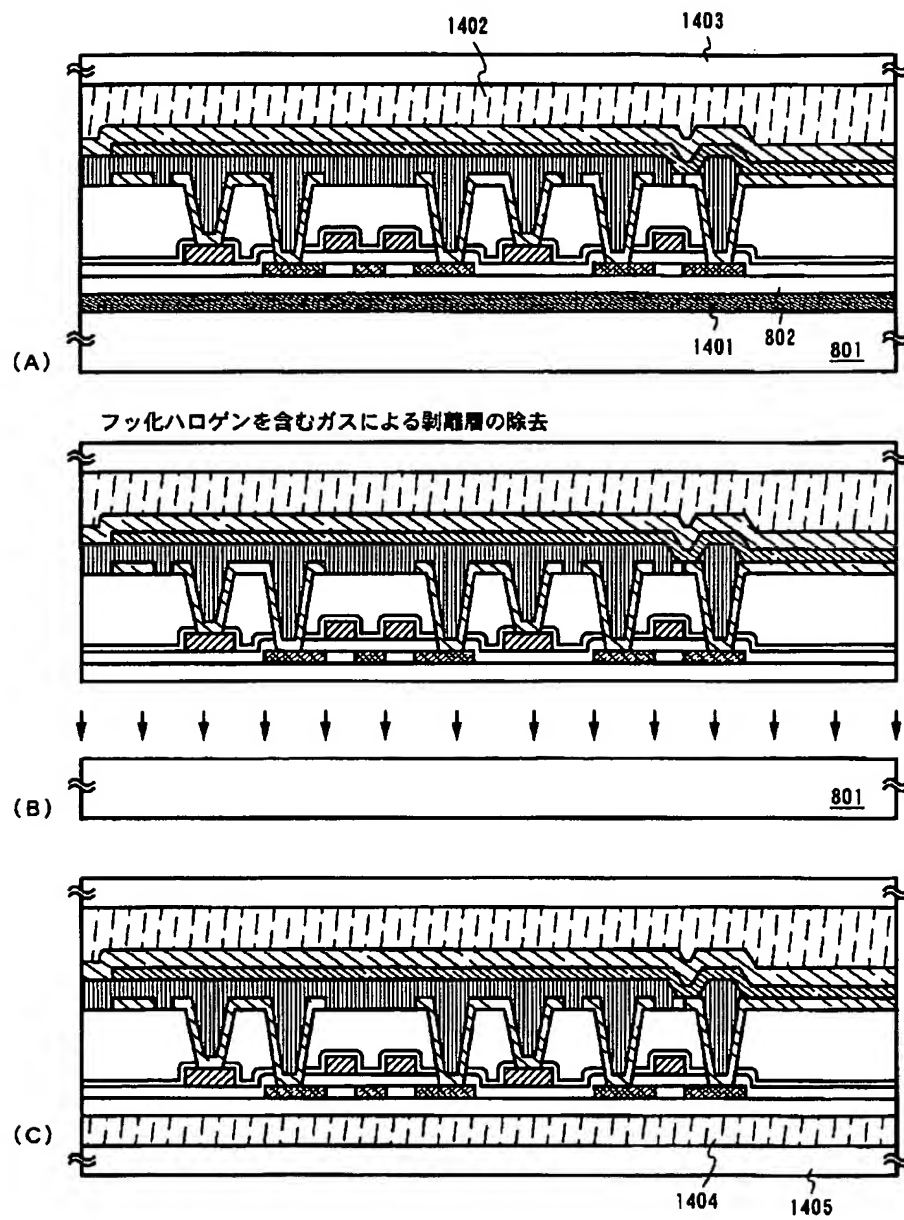


(A)

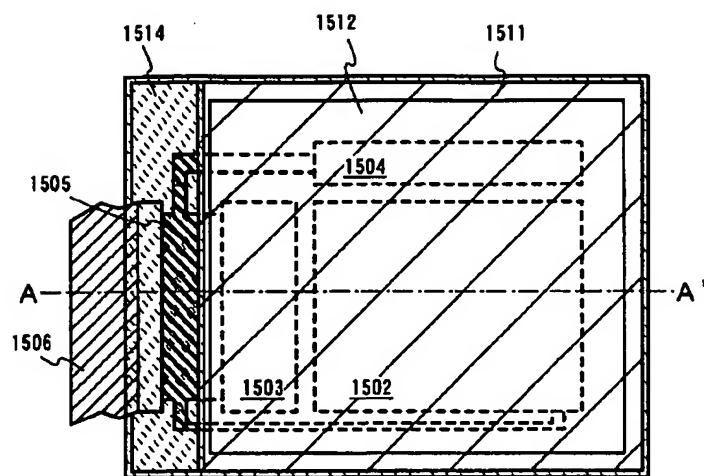


(B)

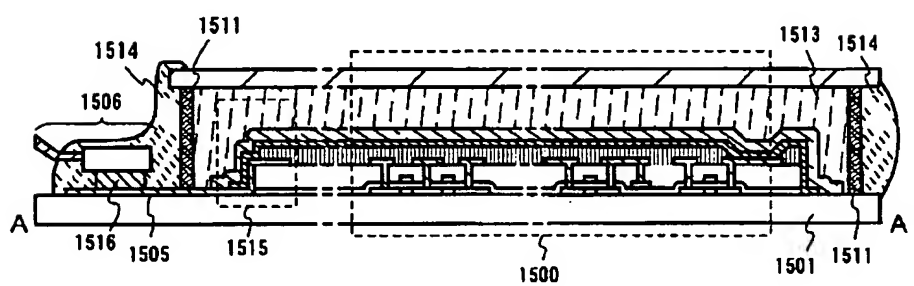
【図14】



【図15】

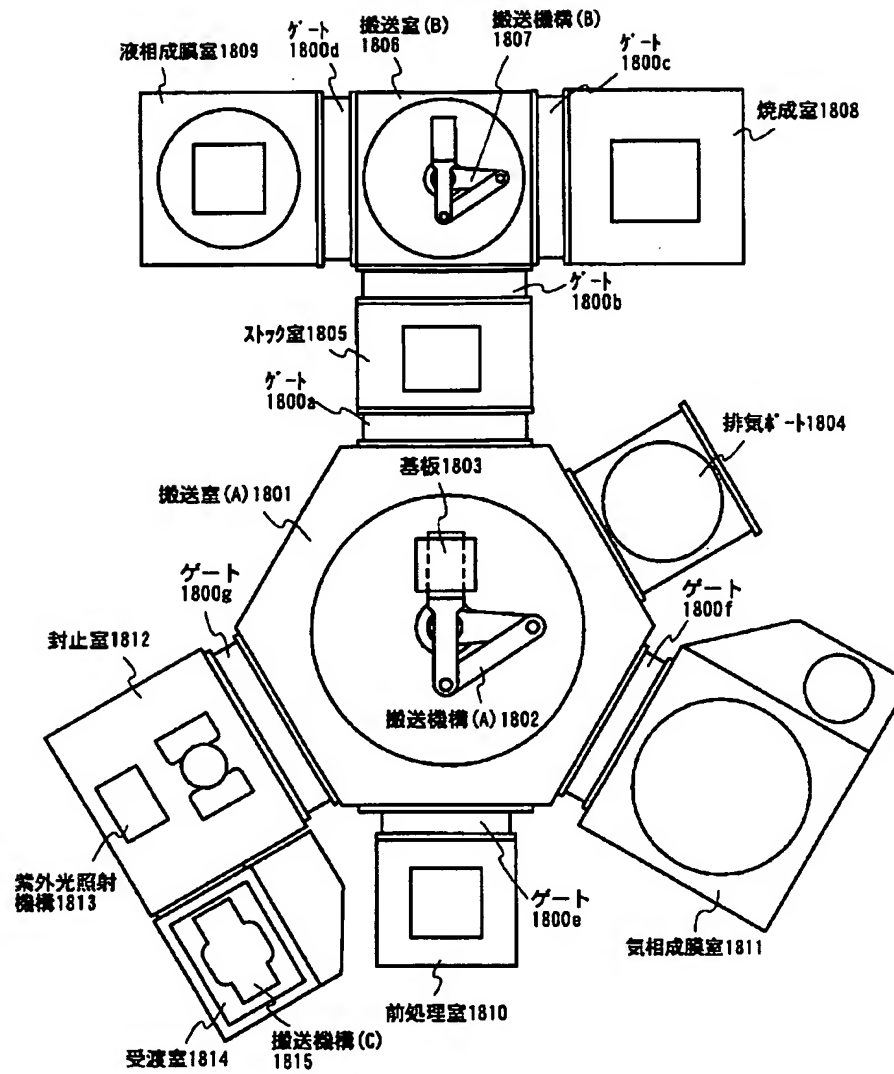


(A)

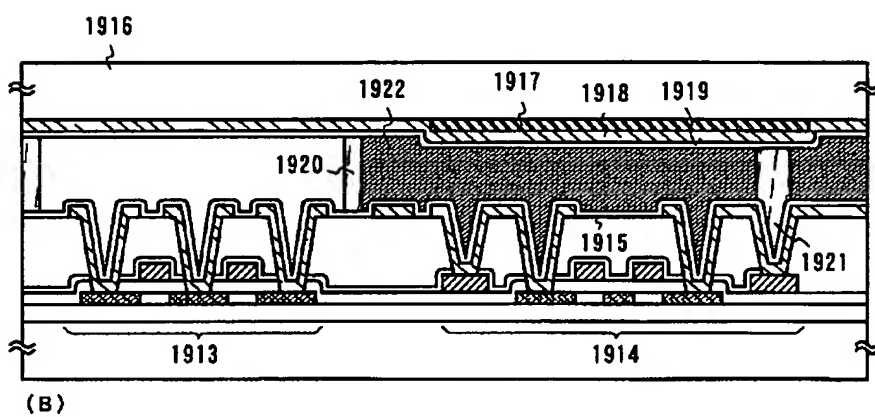
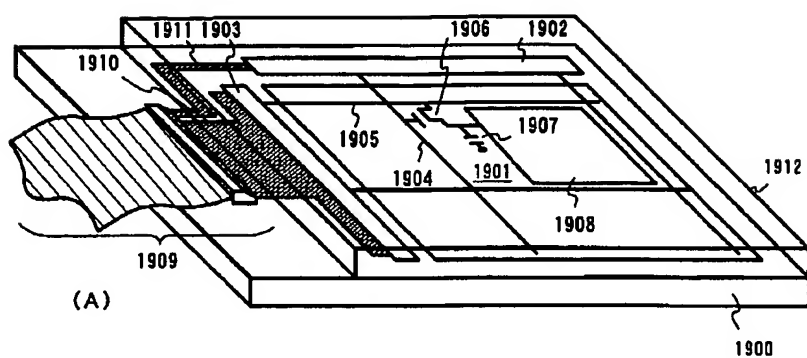


(B)

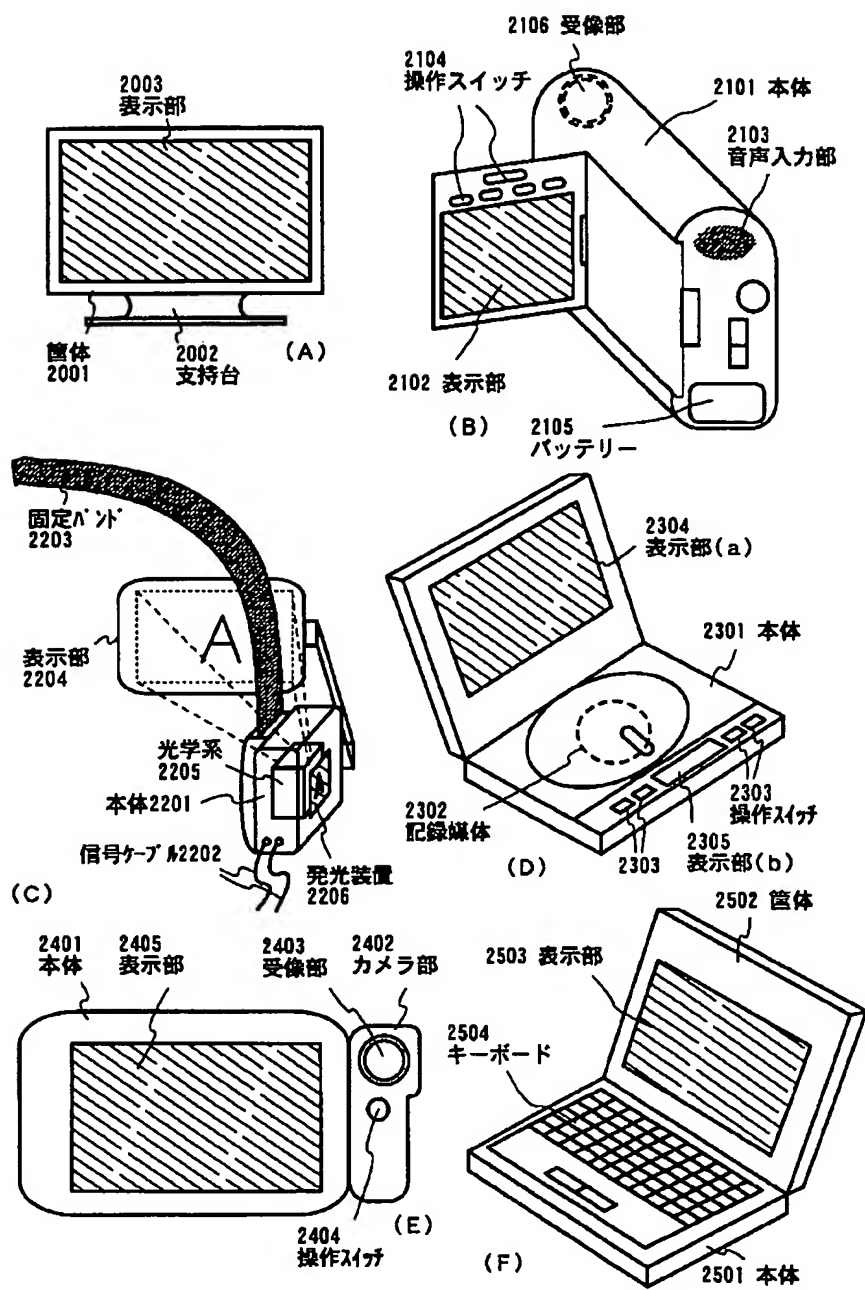
【図18】



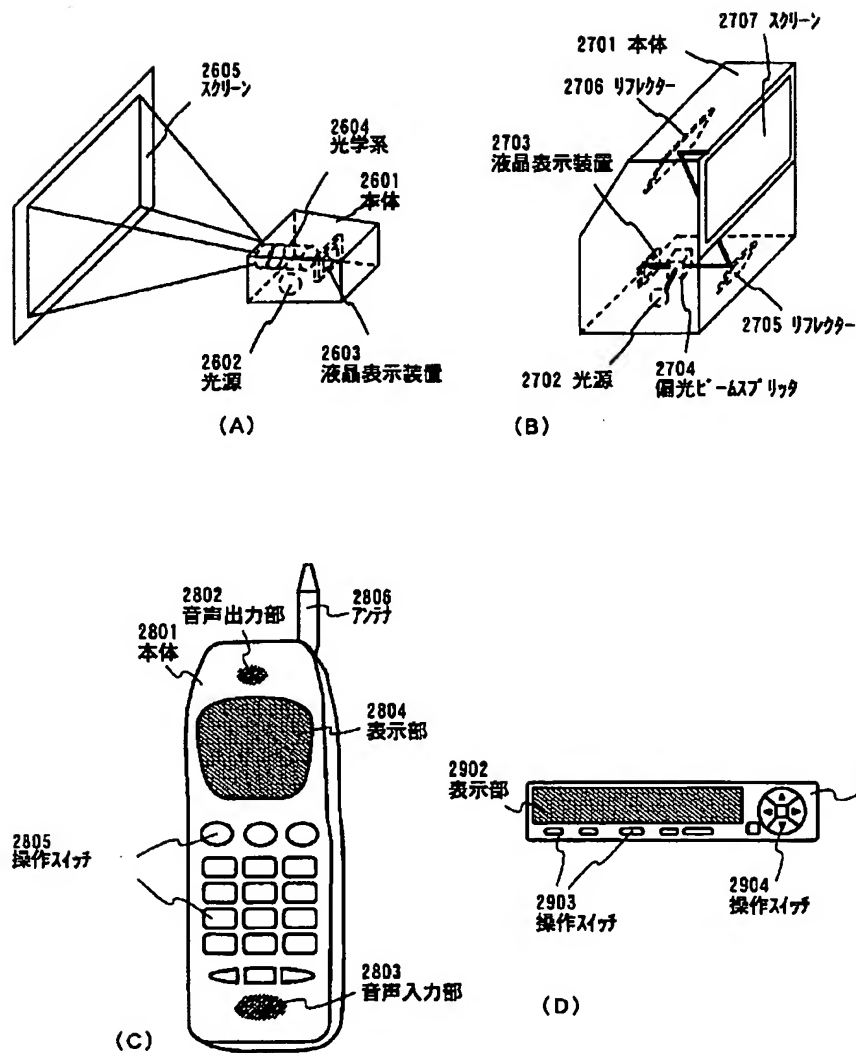
【图19】



【図20】



【図21】



フロントページの続き

(51)Int. Cl.⁷

H01L 27/088

27/08

29/786

識別記号

331

FI

H01L 27/08

29/78

テコード(参考)

102B

612C

614

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.